



Politecnico di Milano – Sede di Cremona
Anno Accademico 2022/2023

Reti Logiche – Esame – 08.06.2023

Prof. Carlo Brandolese

Cognome _____

Nome _____

Matricola _____

Firma _____

Istruzioni

1. Scrivere con cura, negli spazi sopra segnati, il proprio cognome, nome, numero di matricola e apporre la firma.
2. È vietato consultare libri, eserciziari, appunti ed utilizzare la calcolatrice e qualunque strumento elettronico (inclusi i cellulari), pena l'invalidazione del compito.
3. Il testo, debitamente compilato, deve essere riconsegnato in ogni caso.
4. Il tempo della prova è di 2 ore

Valutazione

Domanda	Voto	Note
A		
B		
C		
D		

Domanda A

Si dimostri procedendo in modo algebrico che, indipendentemente dalla forma della funzione $f(x)$, la seguente uguaglianza è sempre vera:

$$x + f(x) + f(\bar{x}) = x + f(0) + f(1)$$

Soluzione

Espandendo $f()$ mediante il teorema di Boole-Shannon si ha:

$$f(x) = xf(1) + \bar{x}f(0)$$

$$f(\bar{x}) = x f(0) + \bar{x} f(1)$$

Da cui, sostituendo:

$$\begin{aligned} x + f(x) + f(\bar{x}) &= x + xf(1) + \bar{x}f(0) + xf(0) + \bar{x}f(1) \\ &= x + \bar{x}f(0) + \bar{x}f(1) \\ &= x + \bar{x}[f(0) + f(1)] \\ &= x + f(0) + f(1) \end{aligned}$$

Domanda B

Sia $X = [x_2 x_1 x_0]$ la codifica binaria naturale di un numero intero non negativo. Si svolgano i seguenti punti:

1. Si progetti una rete combinatoria ottima che calcola il valore $Y = X^2$, indicando in numero di bit minimi necessari alla rappresentazione di Y .
2. Indicando con POW2 il modulo combinatorio appena realizzato si progetti in modo strutturale una rete in grado di calcolare il quadrato di un numero binario naturale di 4 bit. Nella progettazione si cerchi di ottimizzare il più possibile l'area della nuova rete.
3. Si calcolino l'area di tale modulo, espressa come numero di transistor, ed il ritardo, espresso come numero di livelli di logica.

Soluzione

La tabella della verità è la seguente:

$x_2x_1x_0$	$y_5y_4y_3y_2y_1y_0$
0 0 0	0 0 0 0 0 0
0 0 1	0 0 0 0 0 1
0 1 0	0 0 0 1 0 0
0 1 1	0 0 1 0 0 1
1 0 0	0 1 0 0 0 0
1 0 1	0 1 1 0 0 1
1 1 0	1 0 0 1 0 0
1 1 1	1 1 0 0 0 1

Da questa si ricava immediatamente la forma delle funzioni di uscita:

$$y_0 = x_0$$

$$y_1 = 0$$

$$y_2 = x_1\bar{x}_0$$

$$y_3 = \bar{x}_2x_1x_0 + x_2\bar{x}_1x_0$$

$$y_4 = x_2\bar{x}_1 + x_2x_0$$

$$y_5 = x_2x_1$$

Calcoliamo, in quanto utile nel seguito, l'area della rete:

$$\begin{aligned}
 y_0 &= 0 \\
 y_1 &= 0 \\
 y_2 &= 1 \text{ AND2} + 1 \text{ NOT} = 6 + 2 = 8 \\
 y_3 &= 2 \text{ AND3} + 1 \text{ OR2} + 2 \text{ NOT} = 16 + 6 + 4 = 26 \\
 y_4 &= 2 \text{ AND2} + 1 \text{ OR2} + 1 \text{ NOT} = 12 + 6 + 2 = 20 \\
 y_5 &= 1 \text{ AND2} = 6
 \end{aligned}$$

Da cui si ottiene un'area totale di 60 transistor.

Per il calcolo del quadrato su 4 bit si può procedere in due modi, descritti nel seguito.

Metodo 1

Si rappresenta la nuova parola di 4 bit come $A = [x_2x_1x_0b]$ il cui valore è $A = 2X + b$. Calcolando il quadrato si ottiene:

$$A^2 = (2X + b)^2 = 4X^2 + 4Xb + b^2 = 4Y + 4Xb + b$$

Ricordando che $Y = X^2$ e notando che $Xb = [bx_2 bx_1 bx_0]$, la rete che calcola A^2 deve eseguire la seguente somma:

$4Y$		y_5	y_4	y_3	y_2	y_1	y_0	0	0
$4Xb$		0	0	0	bx_2	bx_1	bx_0	0	0
b	0	0	0	0	0	0	0	0	b
			HA	HA	HA	FA	FA	HA	0 b

Indicando con XB il modulo che calcola Xb , i componenti di base hanno la seguente area:

$$\begin{aligned}
 \text{POW 2} &= 60 \\
 \text{XB} &= 3 \text{ AND2} = 18 \\
 \text{XOR2} &= 2 \text{ AND2} + 1 \text{ OR2} + 2 \text{ NOT} = 12 + 6 + 4 = 22 \\
 \text{HA} &= 1 \text{ AND2} + 1 \text{ XOR2} = 6 + 22 = 28 \\
 \text{FA} &= 3 \text{ AND2} + 1 \text{ OR3} + 2 \text{ XOR2} = 18 + 8 + 44 = 70
 \end{aligned}$$

Da cui l'area totale

$$\text{Area} = 1 \text{ POW2} + 4 \text{ HA} + 2 \text{ FA} + 1 \text{ XB} = 60 + 4 \times 28 + 2 \times 70 + 18 = 330 \text{ transistor}$$

Pr quanto riguarda il ritardo, si nota che POW2 e XB sono in parallelo per cui loro ritardo è pari a 2 livelli di logica. Il ritardo del sommatore è poi pari a 2 volte il ritardo dei FA più quattro volte il ritardo degli HA, cioè $2 \times 2 + 4 \times 1 = 8$ livelli di logica. Il ritardo totale è pertanto di 10 livelli.

Metodo 1

Si rappresenta la nuova parola di 4 bit come $A = [b x_2x_1x_0]$ il cui valore è $A = 8b + X$. Calcolando il quadrato si ottiene:

$$A^2 = (8b + X)^2 = 64b^2 + 16bX + X^2 = 64b + 16bX + Y$$

Ricordando ancora che $Y = X^2$ e notando che $Xb = [bx_2 bx_1 bx_0]$, la rete che calcola A^2 deve eseguire la seguente somma:

$64b^2$	0	b	0	0	0	0	0	0
$16bX$	0	bx_2	bx_1	bx_0	0	0	0	0
Y			y_5	y_4	y_3	y_2	y_1	y_0
	0	FA	FA	HA	y_3	y_2	y_1	y_0

Da cui si ottiene un'area pari a:

$$\text{Area} = 1 \text{ POW2} + 1 \text{ HA} + 2 \text{ FA} + 1 \text{ XB} = 60 + 28 + 2 \times 70 + 18 = 274 \text{ transistor}$$

Pr quanto riguarda il ritardo, si nota che anche in questo caso POW2 e XB sono in parallelo per cui loro ritardo è pari a 2 livelli di logica. Il ritardo del sommatore è poi pari a 2 volte il ritardo dei FA più il ritardo dell'unico HA, cioè $2 \times 2 + 1 = 5$ livelli di logica. Il ritardo totale è pertanto di 7 livelli.

Se ne conclude che questa seconda soluzione è migliore della prima sia in termini di area sia in termini di ritardo.

Domanda C

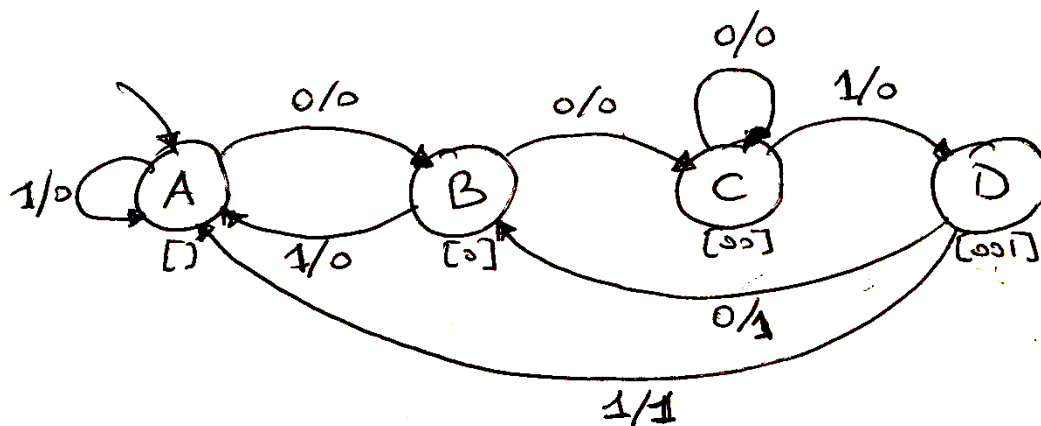
Si ricavi il diagramma di transizione di stato di una macchina a stati finiti dotata di un ingresso x e di un'uscita z in grado di riconoscere la sequenza 001α , in cui α indica un valore qualsiasi. Si tenga presente che la macchina deve essere in grado di riconoscere eventuali sequenze parzialmente sovrapposte.

L'uscita della macchina a stati vale normalmente 0 ed assume valore 1 per un ciclo di clock in corrispondenza del riconoscimento della sequenza cercata. Si realizzi poi la macchina ottenuta mediante flip-flop di tipo T e sei disegni tale rete

Sapendo che il ritardo di una porta logica (AND o OR a qualsiasi numero di ingressi) è pari a $5ns$, che gli inverter hanno ritardo pari a $2ns$ e che i flip-flop hanno un tempo di setup pari a $1ns$, un tempo di hold nullo ed un tempo clock-to-Q pari a $1ns$, si determini la massima frequenza di funzionamento possibile per la macchina realizzata.

Soluzione

Il diagramma degli stati è il seguente:



La tabella di transizione di stato è la seguente:

$Q \backslash x$	0	1
A	B/0	A/0
B	C/0	A/0
C	C/0	D/0
D	B/1	A/1

Con A come stato di reset si verifica immediatamente che tutti gli stati sono raggiungibili e che la macchina è minima. Si può quindi codificare la macchina, per esempio come: A=00, B=01, C=11 e D=10, ottenendo $[q_1^*q_0^*/z]$:

$q_1q_0 \backslash x$	0	1
00	01/0	00/0
01	11/0	00/0
11	11/0	10/0
10	01/1	00/1

E passando alle eccitazioni per i flip flop di tipo T, cioè T_1T_0/z :

$q_1q_0 \backslash x$	0	1
00	01/0	00/0
01	10/0	01/0
11	00/0	01/0
10	11/1	10/1

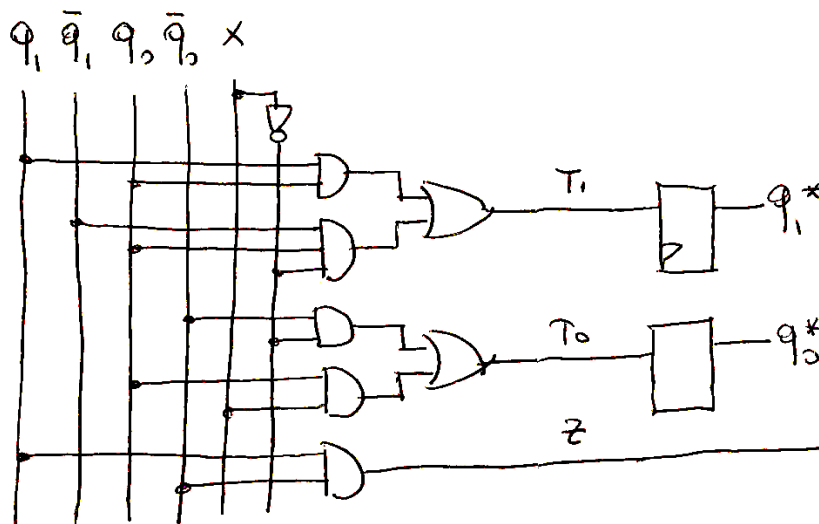
Sintetizzando la rete si ottiene:

$$T_1 = q_1q_0 + \bar{q}_1q_0\bar{x}$$

$$T_0 = \bar{q}_0\bar{x} + q_0x$$

$$z = q_1\bar{q}_0$$

Ovvero:



Si nota che il percorso critico è quello da x a T_1 con un ritardo pari a:

$$TD = NOT + AND + OR = 2ns + 5ns + 5ns = 12ns$$

A questo dobbiamo aggiungere il tempo di setup (1ns) ed il tempo clock-to-Q (1ns) dei flip-flop, ottenendo un ritardo massimo pari a 14ns, corrispondente a circa 71.4 MHz.

Domanda D

Data la macchina a stati finiti descritta dalle seguenti equazioni di eccitazione:

$$D_2 = q_1(q_2 + x)$$

$$T_1 = x(q_1 \oplus q_2) + \bar{x}\bar{q}_1q_2$$

$$z = q_2 \oplus q_1 \oplus x$$

Si disegni il diagramma di stato della macchina minima equivalente

Soluzione

Si ricavano dapprima le equazioni di stato:

$$q_2^* = D_2 = q_1(q_2 + x)$$

$$q_1^* = q_1 \oplus T_1 = q_1 \oplus [x(q_1 \oplus q_2) + \bar{x}\bar{q}_1q_2] = \bar{x}q_1 + q_2$$

$$z = q_2 \oplus q_1 \oplus x$$

Da queste si ricava la tabella degli stati codificata:

$q_2q_1 \setminus x$	0	1
00	00/0	00/1
01	01/1	10/0
11	11/0	11/1
10	01/1	01/0

Assumendo come codifica A=00, B=01, C=11 e D=10, si ottiene la tabella simbolica:

$Q \setminus x$	0	1
A	A/0	A/1
B	B/1	D/0
C	C/0	C/1
D	B/1	B/0

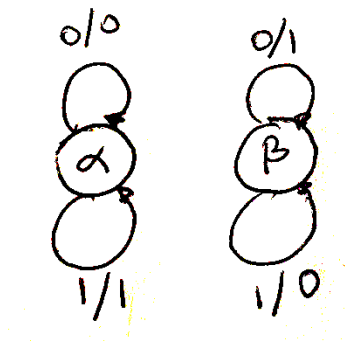
Minimizzando la tabella si ottiene:

B	X		
C	AC	X	
D	X	BD	X
	A	B	C

Da cui derivano i due nuovi stati $\alpha = \{A, C\}$ e $\beta = \{B, D\}$ e la macchina minima:

$Q \backslash x$	0	1
α	$\alpha/0$	$\alpha/1$
β	$\beta/1$	$\beta/0$

Cioè il seguente diagramma:



Si nota che quanto ottenuto non è una macchina a stati poiché, se conoscessimo lo stato di reset, che è una precondizione per poter sintetizzare una macchina a stati, esso sarebbe necessariamente uno dei due stati α o β . Se il reset fosse α ne deriverebbe che β non sarebbe raggiungibile e risulterebbe $z = x$. Nel caso contrario, se il reset fosse β ne deriverebbe che α non sarebbe raggiungibile e risulterebbe $z = \bar{x}$.