



Politecnico di Milano – Sede di Cremona
Anno Accademico 2021/2022

Reti Logiche – Esame – 17.06.2022

Prof. Carlo Brandolese

Cognome _____

Nome _____

Matricola _____

Firma _____

Istruzioni

1. Scrivere con cura, negli spazi sopra segnati, il proprio cognome, nome, numero di matricola e apporre la firma.
2. È vietato consultare libri, eserciziari, appunti ed utilizzare la calcolatrice e qualunque strumento elettronico (inclusi i cellulari), pena l'invalidazione del compito.
3. Il testo, debitamente compilato, deve essere riconsegnato in ogni caso.
4. Il tempo della prova è di 2 ore

Valutazione

| Domanda | Voto | Note |
|---------|------|------|
| A | | |
| B | | |
| C | | |
| D | | |

Domanda A

Si considerino due operandi interi $X = [x_1, x_0]$ e $Y = [y_1, y_0]$ rappresentati su due bit in codifica binaria naturale. Si progetti un modulo combinatorio SORT2 che prende in ingresso X ed Y e fornisce in uscita due parole $G = \max(X, Y)$ ed $L = \min(X, Y)$. In altre parole il modulo SORT2 ordina dal più grande al più piccolo i due valori in ingresso.

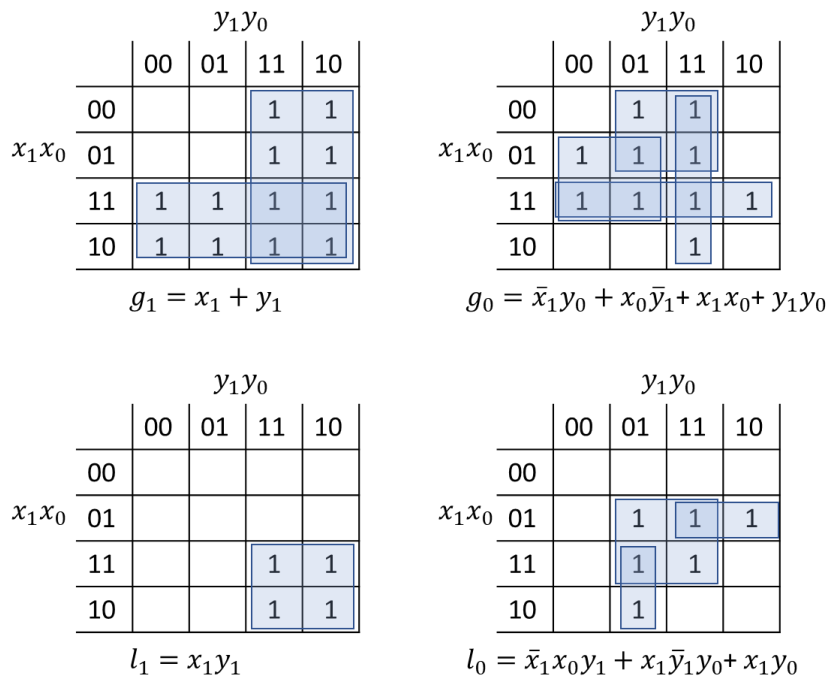
Utilizzando unicamente moduli SORT2 si progetti una rete SORT3 in grado di ordinare 3 valori X , Y e Z , sempre espressi su due bit. Ciò fatto, si calcoli l'area del modulo SORT3 espressa come numero di transistor ed il suo ritardo espresso sotto forma di livelli di logica.

Soluzione

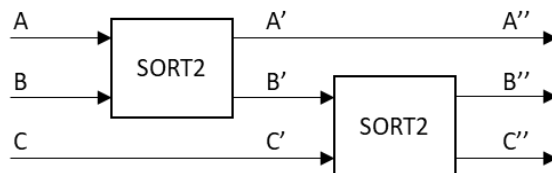
Il modulo SORT2 è definito dalla seguente tabella della verità:

| $x_1 x_0$ | $y_1 y_0$ | $g_1 g_0$ | l_1, l_0 |
|-----------|-----------|-----------|------------|
| 00 | 00 | 00 | 00 |
| 00 | 01 | 01 | 00 |
| 00 | 10 | 10 | 00 |
| 00 | 11 | 11 | 00 |
| 01 | 00 | 01 | 00 |
| 01 | 01 | 01 | 01 |
| 01 | 10 | 10 | 01 |
| 01 | 11 | 11 | 01 |
| 10 | 00 | 10 | 00 |
| 10 | 01 | 10 | 01 |
| 10 | 10 | 10 | 10 |
| 10 | 11 | 11 | 10 |
| 11 | 00 | 11 | 00 |
| 11 | 01 | 11 | 01 |
| 11 | 10 | 11 | 10 |
| 11 | 11 | 11 | 11 |

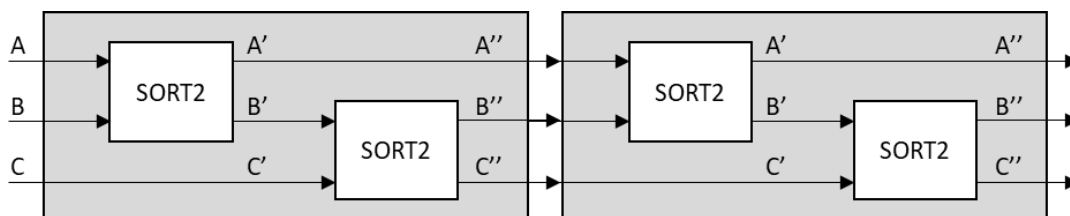
Dalla tabella di verità si ricavano le mappe di Karnaugh e quindi le funzioni G ed L



Per costruire il modulo SORT3 si può procedere implementando l'algoritmo bubble sort per un vettore di tre elementi . Ad ogni iterazione l'algoritmo confronta coppie di elementi adiacenti e se necessario li scambia. Per un vettore di N elementi, questo procedimento deve essere eseguito N-1 volte, cioè 2 nel nostro caso. Il modulo che esegue una iterazione è pertanto:



Connettendo due di tali moduli in cascata si ottiene il modulo SORT3



L'area della rete (ignorando gli inverter) è la seguente:

$$g_1 \Rightarrow 1 \text{ OR2} \Rightarrow 6 \text{ tr}$$

$$g_0 \Rightarrow 4 \text{ AND2} + 1 \text{ OR4} = 4 * 6 \text{ tr} + 10 \text{ tr} = 34 \text{ tr}$$

$$l_1 \Rightarrow 1 \text{ AND2} \Rightarrow 6 \text{ tr}$$

$$l_0 \Rightarrow 2 \text{ AND3} + 1 \text{ AND2} + 1 \text{ OR3} = 2 * 8 \text{ tr} + 6 \text{ tr} + 8 \text{ tr} = 30 \text{ tr}$$

Da cui l'area totale pari a 76 transistor.

Per il calcolo del ritardo si nota che il percorso critico di ogni "stadio" è quello che va da (A,B) a (B'',C'') ed è pari a 4 livelli di logica. Ne consegue che il ritardo complessivo è pari a 8 livelli.

Da una analisi dell'algoritmo bubble sort si desume che in realtà il modulo SORT2 più a destra può essere rimosso, riducendo pertanto il ritardo a 6 livelli di logica.

Domanda B

Procedendo per via algebrica, si dimostrino entrambe le forme del teorema di De Morgan.

Soluzione

Per entrambe le dimostrazioni si applica il teorema di Boole-Shannon:

$$f(x, y) = \overline{x + y} = \bar{x}f_0 + xf_1 = \bar{x}(0 + y) + x(1 + y) = \bar{x}\bar{y} + 0 = \bar{x}\bar{y}$$

$$f(x, y) = \overline{x \cdot y} = \bar{x}f_0 + xf_1 = \bar{x}(0 \cdot y) + x(1 \cdot y) = \bar{x} + xy = \bar{x} + \bar{y}$$

Domanda C

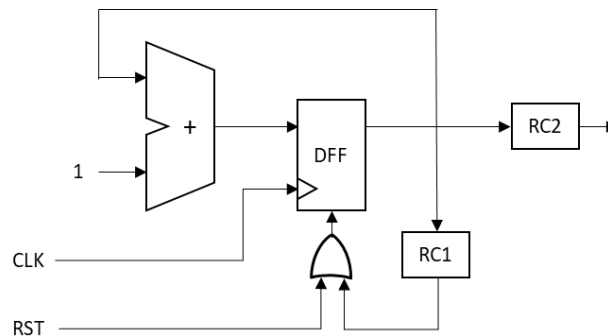
Errato - Questo problema non ammette soluzione.

Domanda D

Procedendo in maniera strutturale si progetti un contatore in grado di generare la sequenza di uscita { 0, 0, 0, 1, 1, 0, 1 }.

Soluzione

La sequenza richiesta ha modulo 7, quindi si parte da un contatore modulo 8, per esempio un contatore binario naturale. Si aggiungono la rete di reset RC1 quella di transcodifica RC2.



Per ridurre il modulo da 8 a 7 è necessaria una rete di reset che generi il reset – sincrono – quando il contatore raggiunge il valore 6, ovvero $f_{RC1}(q_2, q_1, q_0) = q_2q_1\bar{q}_0$

La rete di transcodifica è specificata dalla seguente tabella della verità, sintetizzata come mostrato.

| $q_2q_1q_0$ | z |
|-------------|-----|
| 000 | 0 |
| 001 | 0 |
| 010 | 0 |
| 011 | 1 |
| 100 | 1 |
| 101 | 0 |
| 110 | 1 |
| 111 | - |

| | | q_1q_0 | | | |
|-------|---|----------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| q_2 | 0 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 0 | - | 1 |

$$z = q_2\bar{q}_0 + q_1q_0$$