

## TEMA D'ESAME

### Domanda A

---

Data la funzione  $f(x, y, z) = \Phi(0,6), \Delta(3,4)$  si svolgono i seguenti punti:

1. Si sintetizzi la funzione ottima in forma SoP utilizzando il metodo di Quine-McCluskey e si disegni la rete risultante
2. Si realizzi la funzione sintetizzata al punto 1 utilizzando il minor numero possibile di porte NAND a due ingressi e si disegni la rete risultante
3. Si realizzi la funzione sintetizzata al punto 1 utilizzando il minor numero possibile di multiplexer a due ingressi e si disegni la rete risultante
4. Si realizzi la funzione sintetizzata al punto 1 utilizzando un decoder e tutte le porte OR a due ingressi necessarie e si disegni la rete risultante
5. Si valutino area (numero di porte a due ingressi) e ritardo (livelli di logica) delle 4 reti realizzate.

### Domanda B

---

Siano X ed Y sue parole di 4 bit in codifica binaria naturale ed S un segnale binario di un bit. Procedendo in maniera strutturale, si progetti un circuito che realizza la funzione descritta dallo pseudo-codice a lato. A tale scopo si utilizzino un solo sommatore e tutti i mutiplexer necessari. Si tenga presente che la dimensione della parola Z deve essere tale da poter sempre rappresentare correttamente il risultato.

```
if( S == 0 ) {  
    Z = X/2 + 6Y + 33  
} else {  
    Z = 7Y - 1  
}
```

### Domanda C

---

Data la macchina a stati riportata a fianco, in cui lo stato di reset non è specificato, si svolgono i seguenti punti:

1. Si trovino tutte le classi di massima compatibilità e si riporti la tabella di transizione di stato della macchina equivalente composta da tali classi.
2. Si verifichi se esiste una macchina con un numero di stati minore, procedendo in modo intuitivo.
3. Si implementi la macchina con il numero minore di stati tra quelle individuate ai punti 1. e 2. usando flip-flop di tipo JK

	p	q
A	A/0	B/-
B	E/0	D/1
C	-/-	-/-
D	A/-	C/-
E	C/1	-/0

### Domanda D

---

Si progetti una macchina a stati di Mealy minima dotata di un ingresso  $x$  ed un'uscita  $z$  in grado di riconoscere le sequenze simbolicamente rappresentate come  $1b\bar{b}0$ , in cui  $b$  può assumere un qualsiasi valore. Si tenga presente che:

1. L'uscita  $z$  assume inizialmente valore 0
2. L'uscita  $z$  assume valore 1 per un ciclo di clock nel momento in cui riceve l'ultimo bit di una sequenza valida
3. La macchina a stati deve poter riconoscere anche eventuali sequenze parzialmente sovrapposte.

Si disegni il diagramma di transizione di stato della macchina minima.