

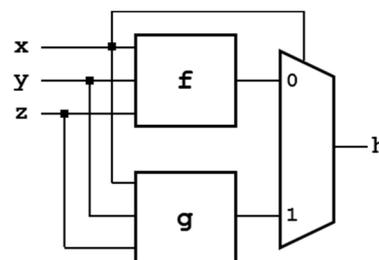
## TEMA D'ESAME

### Domanda A

Si sintetizzi la forma minima delle funzioni  $f(x, y, z)$  e  $g(x, y, z)$  specificate di seguito, tenendo conto delle condizioni al contorno mostrate nello schema circuitale a lato.

$$f(x, y, z) = \Sigma(1, 2, 4, 7)$$

$$g(x, y, z) = \Sigma(0, 1, 3, 5, 6, 7)$$



### Domanda B

Si progetti una rete combinatoria per il calcolo della divisione di un numero intero positivo per la costante 3. A tale scopo si proceda come segue:

1. Si progetti una rete combinatoria "DIV3" per il calcolo della divisione per 3 di un numero intero rappresentato su 3 bit. Siano  $X = [x_2 \ x_1 \ x_0]$  gli ingressi di tale rete e siano  $Q = [q_1 \ q_0]$  il quoziente ed  $R = [r_1 \ r_0]$  il resto.
2. Utilizzando tale modulo come base e ricorrendo a tutti gli elementi circuitali aggiuntivi necessari, si progetti in modo strutturale una rete per il calcolo della divisione per 3 di un valore binario naturale intero su 4 bit. Si esprima tale nuovo valore d'ingresso come  $V = [x_2 \ x_1 \ x_0 \ b]$  e si noti che  $V = 2X + b$ .
3. Si calcoli il ritardo (espresso come numero di livelli di logica) della generica rete per il calcolo della divisione per 3 di un numero naturale di N bit.

### Domanda C

Data la tabella di transizione di stato riportata a lato e relativa a una macchina a stati finiti non completamente specificata in cui A è lo stato di reset, si svolgano i seguenti punti:

1. Si identifichino tutte le classi di massima compatibilità
2. Procedendo in modo intuitivo, si identifichi una soluzione minima facente uso solamente delle classi di massima compatibilità, verificandone completezza e chiusura.
3. Procedendo ancora in modo intuitivo, si proponga una soluzione minima composta da classi di compatibilità qualsiasi purché disgiunte, verificandone completezza e chiusura.

|   | 0   | 1   |
|---|-----|-----|
| A | -/0 | B/1 |
| B | E/- | D/0 |
| C | -/1 | -/- |
| D | E/- | F/- |
| E | C/- | -/0 |
| F | -/1 | -/- |

### Domanda D

Si vuole progettare una macchina a stati finiti dotata di un segnale di ingresso  $x$  ed uno di uscita  $z$ . Sia  $X = \{\alpha, \beta, \gamma\}$  l'alfabeto d'ingresso e  $Z = \{0, 1\}$ , l'alfabeto di uscita. La macchina a stati riceve un simbolo ad ogni ciclo di clock. L'uscita vale normalmente 0 ed assume il valore 1 quando viene riconosciuta la sequenza  $\alpha\alpha\beta\gamma$  oppure la sequenza  $\alpha\alpha\beta\alpha$ . Si proceda tenendo presente che la macchina deve essere in grado di riconoscere eventuali sequenze parzialmente sovrapposte.

1. Si disegni il diagramma di transizione di stato della macchina
2. Si verifichi se il diagramma ottenuto corrisponde ad una macchina minima. Qualora la macchina non fosse minima si proceda alla minimizzazione del numero degli stati.
3. Si implementi la macchina a stati ricorrendo a bistabili di tipo T.