

# TEMA D'ESAME

## Domanda A

Si descriva il metodo di minimizzazione euristica per le reti su due livelli. In particolare si indichino le ragioni, gli effetti ed i fondamenti teorici algebrici delle varie trasformazioni.

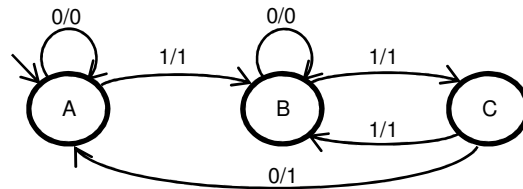
## Domanda B

Si progetti una rete combinatoria per il calcolo del quadrato di un numero intero positivo.

1. Si progetti una rete combinatoria "SQR" per il calcolo del quadrato di un numero intero rappresentato su 3 bit. Siano  $x_2, x_1, x_0$  gli ingressi di tale rete ed  $q_5 \dots q_0$  le sue uscite.
2. Si progetti un'architettura generale per il calcolo del quadrato di un numero naturale rappresentato su N bit. A tale scopo si proceda in modo strutturale utilizzando il modulo "SQR" precedentemente progettato e tutte le porte logiche e i moduli standard che risultassero necessari. Si noti che, indicando con X il valore decimale di un numero a 3 bit  $[x_2 x_1 x_0]$ , il valore Y del numero a 4 bit  $[x_2 x_1 x_0 b]$  può essere espresso come  $2X+b$ .
3. Si calcolino ritardo l'area della generica rete per ad N bit.

## Domanda C

Si disegni il diagramma degli stato della macchina di Moore equivalente alla macchina di Mealy riportata a fianco.

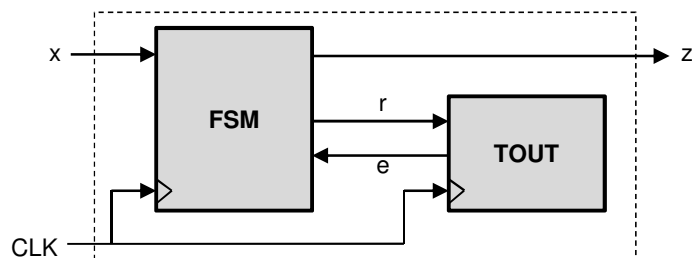


## Domanda D

Si vuole progettare una rete sequenziale dotata di un ingresso x e di un'uscita z, entrambi di un bit. L'uscita z vale normalmente 0 ed assume valore 1 quando riceve in ingresso un 1 e il tempo trascorso dall'ultimo 1 ricevuto è inferiore a 14 cicli di clock. Il diagramma mostra un esempio dell'andamento dei segnali x e z e riporta il tempo t trascorso tra due uni successivi.

x	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0	
t	0	0	0	0	1	2	3	4	5	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	14	14	14	14	14	14	0	1	2	3	0	0	1	2
z	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

A tale scopo si intende realizzare una architettura basata su una macchina a stati finiti FSM ed un contatore di "timeout" TOUT. La figura a lato riporta l'architettura in questione.



Il contatore TOUT deve rispettare le seguenti specifiche:

1. Il segnale reset è attivo alto.
2. Quando il segnale di reset r è asserito, il valore del conteggio è costantemente a 0.
3. Quando il segnale di reset r non è asserito il contatore procede con passo pari ad 1.
4. Il contatore satura al valore 14.
5. Quando il valore di conteggio è minore di 14, l'uscita e assume valore 0.
6. Quando il valore di conteggio è pari a 14, l'uscita e assume valore 1.

Si progetti dapprima tale contatore - procedendo in maniera strutturale - e se ne riporti lo schema circuitale. Quindi si proceda alla progettazione comportamentale della macchina a stati finiti. Si disegni il diagramma degli stati, verificandone la minimalità, quindi si proceda alla progettazione della macchina a stati mediante flip-flop di tipo D.