

## TEMA D'ESAME

### Domanda A

Si consideri una funzione di tre variabili definita nel modo seguente:

$$f(x, y, z) : F\{\bar{x}y, xyz\}, D\{x\bar{y}\}$$

Ricorrendo al metodo euristico per le funzioni su due livelli, si svolgano i seguenti punti:

1. Si calcoli l'off set  $R$  della funzione
2. Si determini mediante la codifica positional-cube quale implicante selezionare per l'espansione, considerando a questo scopo tutti gli implicanti della funzione, inclusi quelli appartenenti all'insieme  $D$ .
3. Si espanda l'implicante rispetto a tutte le variabili, verificando che l'espansione sia valida.
4. Si ricavi la nuova specifica della funzione, a valle dell'espansione.

Si descriva in modo sintetico ma chiaro il procedimento seguito nello svolgere i diversi punti.

### Domanda B

Procedendo in modo algebrico si dimostri che se  $f(\bar{x}) = \overline{f(x)}$  allora  $x \oplus f(x) = \bar{x} \cdot f(x)$ , indipendentemente dalla forma della funzione  $f(x)$ .

### Domanda C

Si consideri la macchina a stati non completamente specificata il cui comportamento è descritto dalla tabella di transizione riportata qui a lato. Si minimizzi tale macchina utilizzando l'euristica basata sull'uso della classi di compatibilità prima. Si determini quindi la macchina minima equivalente e la si sintetizzi mediante flip-flop di tipo JK.

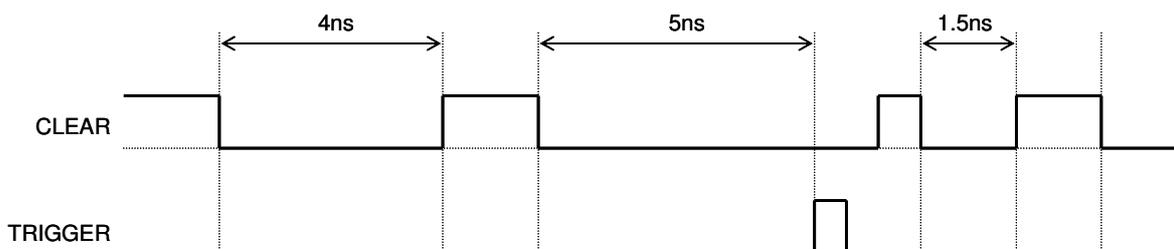
	0	1
A	E/0	A/0
B	D/0	B/0
C	E/-	C/-
D	A/1	A/1
E	A/-	B/-

### Domanda D

Si vuole realizzare un "watchdog counter" con periodo pari a 5ns avendo a disposizione come unica sorgente di sincronizzazione un clock a 800MHz.

Si ricorda che un watchdog timer con periodo  $T$  è un componente dotato di un ingresso CLEAR, un ingresso CLK ed un'uscita TRIGGER. Il comportamento è il seguente: appena il segnale CLEAR passa al livello basso, il timer inizia a misurare il tempo (contando i fronti di clock). Se il tempo trascorso raggiunge il periodo (nel caso dell'esercizio pari a 5ns), l'uscita TRIGGER assume valore 1 per un breve intervallo di tempo, tipicamente pari al periodo del clock di riferimento, dopo di che ritorna a 0.

Se invece il segnale CLEAR passa al livello 1 prima che sia terminato il periodo del watchdog, la misura del tempo viene interrotta e verrà ripresa non appena CLEAR tornerà basso. La figura seguente illustra un esempio dell'andamento temporale dei segnali.



Per la progettazione di tale componente si possono utilizzare solamente le porte logiche standard e i vari tipi di bistabili. Si tenga presente che le porte logiche hanno tutte un ritardo pari a 2ns mentre il ritardo dei bistabili è pari a 750ps. Si ricorda che il ritardo di un bistabile esprime la differenza temporale tra il fronte del clock sull'ingresso di sincronizzazione e il corrispondente fronte sull'uscita del bistabile.