

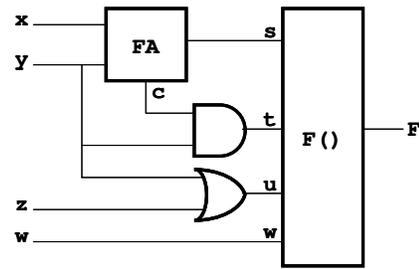
TEMA D'ESAME

Domanda A

Facendo riferimento allo schema a lato, si ottimizzi mediante il metodo di Quine-McCluskey la funzione $F(s, t, u, w)$, specificata di seguito, tenendo conto delle eventuali condizioni di indifferenza.

$$F(s, t, u, w) = \Sigma(1, 2, 8, 10, 13, 14), \Delta(0, 6)$$

Si mappi infine la funzione minimizzata su di una architettura costituita dal numero minimo possibile di multiplexer a due ingressi.



Domanda B

Un sistema riceve in ingresso una parola di 8 bit $x[7:0]$ che rappresenta un numero naturale codificato in modulo e segno e produce in uscita un segnale $Y[6:0]$ che rappresenta il valore di x convertito in complemento a 2 ed un segnale OF di overflow che vale 1 quando $|x| > 63$. Si progetti una rete in grado di realizzare tale funzione procedendo per via strutturale e utilizzando unicamente i componenti sotto riportati. Si tenga presente che la rete deve garantire che le uscite Y e OF siano stabili entro 22ns da quando l'ingresso x si stabilizza.

AND, OR, XOR	0.75 ns	Half Adder	3.00 ns
NOT	0.50 ns	Multiplexer 2 ingressi	2.00 ns
Full Adder	4.50 ns	Comparatore 8 bit	12.00 ns

Domanda C

Si vuole progettare un contatore con sequenza di conteggio $s = \{0, 1, 1, 1, 0\}$. A tale scopo si considerano due possibili soluzioni:

1. Progettazione puramente comportamentale
2. Progettazione strutturale

Si realizzino entrambe le soluzioni e si confrontino in termini di area e massima frequenza di clock ottenibile. Si misuri l'area in termini di numero di porte logiche generiche e si assuma il ritardo di ogni porta pari ad 1ns. Le porte NOT non devono essere considerate.

Domanda D

Un'interfaccia di comunicazione riceve sequenzialmente su un ingresso x parole di 4 bit di cui i primi 3 sono bit di dati ed il quarto è un bit di parità. Il bit di parità assume valore 0 se il numero di 1 presenti nel dato (cioè nei 3 bit precedenti) è zero oppure pari, mentre assume valore 1 se il numero di 1 nel dato è dispari. Si progetti e si sintetizzi, utilizzando flip-flop di tipo D, una macchina a stati in grado di segnalare errori di comunicazione, ovvero quelle situazioni in cui il bit di parità non è conforme al dato ricevuto. Tale macchina è dotata dell'ingresso x e di una uscita z che normalmente vale 0. L'uscita z assume valore 1 per un ciclo di clock se la parità ricevuta è scorretta.