

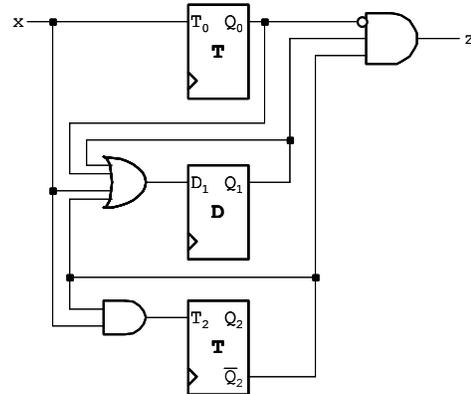
TEMA D'ESAME

Domanda A

Data la rete sequenziale rappresentata in figura, si svolgano i punti seguenti:

1. Ricavare le equazioni della rete:

$$Q^* = \delta(x, Q) \quad z = \lambda(x, Q)$$
2. Ricavare la tabella delle transizioni e disegnare il corrispondente diagramma delle transizioni.
3. Minimizzare la macchina così ottenuta ponendo attenzione alla raggiungibilità degli stati.
 Sia $Q_0Q_1Q_2 = "000"$ lo stato di reset.
4. Realizzare la macchina minima con flip-flop JK.



Domanda B

Progettare una macchina a stati finiti in grado di riconoscere sequenze "0-0", anche parzialmente sovrapposte. Tale macchina è dotata di un ingresso x e di un'uscita z . L'uscita assume valore 1 solo quando una sequenza è stata riconosciuta.

Domanda C

Data la macchina a stati non completamente specificata descritta dalla tabella a fianco, svolgere i seguenti punti:

1. Analizzare la raggiungibilità degli stati. Sia A lo stato di reset.
2. Individuare la macchina minima composta dall'insieme di tutte le classi di massima compatibilità
3. Individuare una soluzione minima alternativa composta da classi di compatibilità non massime, giustificando le scelte operate.

	0	1
A	E/0	A/0
B	D/0	C/0
C	E/-	C/-
D	A/1	-/1
E	-/-	B/-

Domanda D

Spiegare la differenza tra i concetti di compatibilità ed equivalenza di stati.

Domanda E

Spiegare il comportamento del circuito descritto dalla specifica VHDL mostrata qui a fianco. In particolare:

1. Indicare gli ingressi e le uscite primarie e le loro dimensioni, ove possibile determinarle.
2. Fornire la rappresentazione circuitale della rete corrispondente, riportando i nomi di tutti i segnali.

```
architecture rtl of circuit is
begin
  Y <= not T when OE='1' else 'Z';
  process ( D, E )
  begin
    if E = '1' then
      T <= D;
    end if;
  end process;
end rtl;
```