

# TEMA D'ESAME

## Domanda A

---

Data la forma logica

$$F = x' (xy + y'z)' + z'$$

1. Applicando le regole dell'algebra, ridurre l'espressione alla forma minima su due livelli.
2. Trasformare il risultato ottenuto al punto 1 in modo da ottenere una espressione equivalente realizzabile unicamente mediante porte NAND a 2 ingressi.
3. Disegnare la rete di sole porte NAND ottenuta al punto 2.

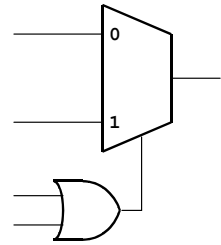
## Domanda B

---

Data la seguente funzione, non completamente specificata:

$$F(a, b, c, d) = \text{ONset}(4, 5, 9, 13) \text{ DCset}(3, 7, 8, 11, 12)$$

1. Ricavare la forma minima mediante il metodo di Quine-McCluskey.
2. Indicare il costo della forma ottenuta in termini di numero di letterali.
3. Utilizzando solamente gli ingressi primari sia in forma naturale, sia negata, realizzare la rete ottenuta mediante la cella riportata a fianco.



## Domanda C

---

Una macchina a stati finiti è dotata di due ingressi  $x$  e  $y$  ed un'uscita  $z$ . Ad ogni ciclo tale macchina riceve quindi due bit in ingresso, uno su  $x$  ed uno su  $y$ . L'uscita  $z$  assume il valore 1 quando tra gli ultimi 4 bit ricevuti vi sono almeno due uni. In tutti gli altri casi  $z$  vale 0.

1. Ricava il diagramma degli stati e la tabella degli stati.
2. Verificare che la macchina ottenuta sia minima, ed in caso contrario minimizzarla.
3. Sintetizzare la macchina ottenuta mediante flip-flop di tipo D.

## Domanda D

---

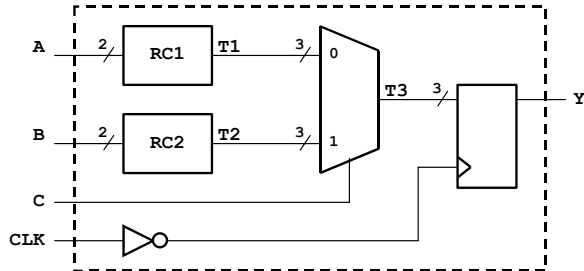
Sia data la tabella degli stati mostrata a lato in cui **A** è lo stato di reset. Si richiede di:

1. Applicare l'analisi di raggiungibilità.
2. Ricavare la macchina ridotta costituita da tutte le classi di massima compatibilità e riportare la tabella degli stati ridotta.
3. Partendo dalle classi ottenute al punto 2, individuare la macchina minima composta da classi di compatibilità non necessariamente massima.

	0	1
A	E/-	G/0
B	A/0	E/1
C	-/0	F/0
D	-/1	B/0
E	H/1	-/0
F	H/0	A/0
G	D/-	E/-
H	-/1	B/0

## Domanda E

Descrivere in VHDL il circuito riportato nella figura utilizzando una unica entity con la corrispondente architecture. Nella descrizione si mantengono i nomi dei segnali riportati in figura. Il comportamento delle reti combinatorie RC1 ed RC2 è descritto nelle tabelle sotto riportate.



A	T1
00	011
01	100
1-	11-

B	T2
00	000
01	10-
10	01-
11	111