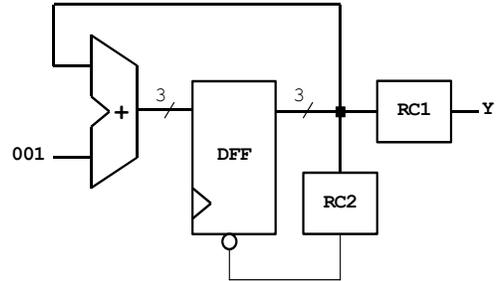


TEMA D'ESAME

Domanda A

Il circuito riportato nella figura a lato realizza un generico contatore il cui comportamento può essere modificato mediante le reti combinatorie RC1 ed RC2.

1. Sintetizzare tali reti combinatorie in modo da realizzare un contatore modulo 5 che presenta sull'uscita Y il seguente ciclo di conteggio: 101, 111, 100, 101, 010.
2. Sintetizzare un contatore equivalente a quello così ottenuto utilizzando flip-flop di tipo T.



Domanda B

Una macchina a stati finiti è dotata di un ingresso x ad un bit ed un'uscita z , anch'essa ad un bit. L'uscita della macchina a stati finiti assume valore 1 ogni volta che riconosce in ingresso la sequenza 110, mentre assume valore 0 in tutti gli altri casi. A titolo di esempio, si consideri la seguente possibile sequenza di ingresso e la sequenza di uscita corrispondente:

x : ... 1 1 1 1 0 1 0 1 1 1 0 1 1 1 0 0 0 1 0 1 1 ...
 z : ... 0 0 0 0 1 0 0 0 0 0 1 0 0 0 1 0 0 0 0 0 0 ...

Si richiede di tracciare il diagramma degli stati e verificare che la macchina ottenuta sia minima.

Domanda C

Sia data la tabella degli stati mostrata a lato, relativa ad una macchina a stati non completamente specificata.

Si richiede di:

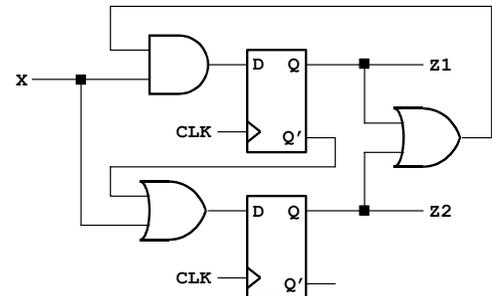
1. Ricavare la macchina ridotta costituita da tutte le classi di massima compatibilità.
2. Dire se la macchina trovata è minima giustificando la risposta.

	0	1
S0	-/-	S1/1
S1	S0/1	S2/1
S2	S5/-	S3/-
S3	S4/-	S3/-
S4	S0/0	S2/0
S5	S4/0	-/-
S6	S2/0	S1/1

Domanda D

Si consideri il circuito sequenziale sincrono riportato a fianco, in cui x è l'ingresso e $z1$ e $z2$ sono le uscite. Entrambi i flip-flop sono dotati di segnale di reset attivo basso, non riportato nella figura. Si richiede di:

1. Ricavare la funzione di stato prossimo ed esprimerla sia in forma di equazioni logiche, sia in forma di tabella delle transizioni.
2. Verificare se la macchina ottenuta è minima.



Domanda E

Si consideri la seguente descrizione VHDL.

```
entity TOPLEVEL is
  port( A, B: in  std_logic_vector(0 to 3);
        CLK: in  std_logic;
        U:   out std_logic_vector(0 to 3) );
end TOPLEVEL;

architecture MIXED of TOPLEVEL is
  component COMB is
    port( X, Y: in  std_logic_vector(0 to 3);
          Z:   out std_logic_vector(0 to 3) );
  end component;
  signal TA, TB, TU: std_logic_vector(0 to 3);
begin

  process( CLK )
  begin
    if( CLK'event and CLK = '1' ) then;
      TA <= A;
      TB <= B;
      U  <= not TU;
    end if;
  end process;

  U1: COMB port map( TA, TB, TU );

end MIXED;
```

Si richiede di:

1. Disegnare lo schema circuitale del modulo **TOPLEVEL** indicando chiaramente i nomi dei segnali, le loro dimensioni ed il tipo degli elementi coinvolti.
2. Fornire la specifica VHDL a livello RTL del modulo **COMP** in modo che sia conforme alla dichiarazione di component che appare nell'architecture del modulo **TOPLEVEL** e che svolga la funzione di somma aritmetica degli ingressi **x** ed **y**, supponendo che siano codificati come interi senza segno.