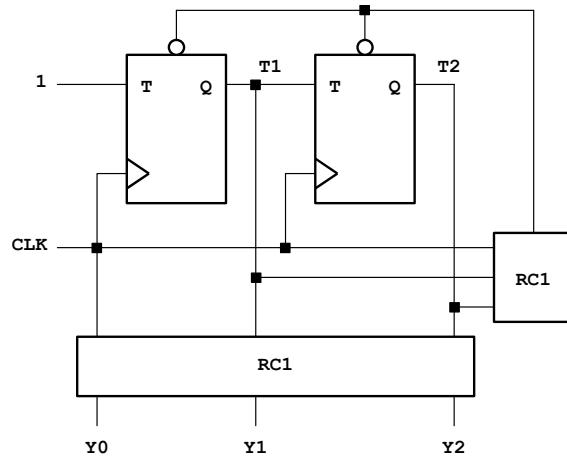


## TEMA D'ESAME

### Domanda A

A partire dalla rete riportata nella figura a fianco, sintetizzare le reti combinatorie **RC1** ed **RC2** in modo che le sulle uscite **Y0**, **Y1** ed **Y2** si abbia il seguente ciclo di conteggio:

Y0	Y1	Y2
0	0	0
1	1	1
0	0	1
1	1	0
0	1	0
1	0	1



### Domanda B

Una macchina a stati finiti è dotata di un ingresso **x** ad un bit ed un'uscita **z**, anch'essa ad un bit. L'uscita della macchina a stati finiti assume valore 1 ogni volta che riconosce in ingresso la sequenza 101, mentre assume valore 0 in tutti gli altri casi. Si noti che due sequenze corrette consecutive possono essere parzialmente sovrapposte, ovvero l'ultimo 1 della prima sequenza può essere il primo 1 della sequenza successiva. A titolo di esempio, si consideri la seguente possibile sequenza di ingresso e la sequenza di uscita corrispondente:

**x:** ... 1 1 1 1 0 1 0 1 1 1 0 1 1 1 0 0 0 1 0 1 1 ...  
**z:** ... 0 0 0 0 0 1 0 1 0 0 0 1 0 0 0 0 0 0 0 1 0 ...

Si richiede di:

1. Tracciare il diagramma degli stati.
2. Verificare che la macchina ottenuta sia minima.

### Domanda C

Sia data la tabella degli stati mostrata a lato, relativa ad una macchina a stati non completamente specificata. Sia **s0** lo stato di reset. Si richiede di:

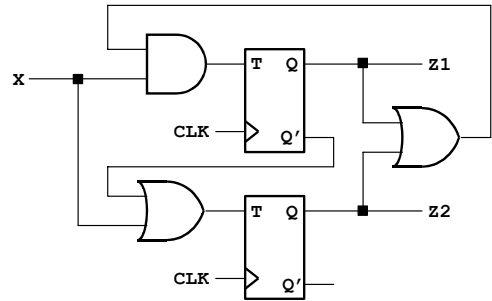
1. Ricavare la macchina ridotta costituita da tutte le classi di massima compatibilità. Si riportino esplicitamente le classi di massima compatibilità trovate.
2. Ricavare la tabella degli stati riddotta.

	0	1
S0	-/-	S2/1
S1	S2/0	S1/1
S2	S0/1	S3/1
S3	S6/-	S7/-
S4	S5/-	S4/-
S5	S0/0	S3/0
S6	S5/0	-/-
S7	-/-	S3/1

## Domanda D

Si consideri il circuito sequenziale sincrono riportato a fianco, in cui  $x$  è l'ingresso e  $z1$  e  $z2$  sono le uscite. Entrambi i flip-flop sono dotati di segnale di reset attivo basso, non riportato nella figura. Si richiede di:

1. Ricavare la funzione di stato prossimo ed esprimerla sia in forma di equazioni logiche, sia in forma di tabella delle transizioni.
2. Verificare se la macchina così ottenuta è minima.



## Domanda E

Si consideri la seguente entity VHDL.

```
entity COUNTER is
  port( CLK:    in  std_logic;
        RESET: in  std_logic;
        U:      out std_logic_vector(0 to 3) );
end COUNTER;
```

Si richiede di:

1. Fornire la specifica della corrispondente architecture in modo che il componente realizzi un contatore binario naturale modulo 10. Si tenga presente che il segnale di reset è attivo alto.
2. Disegnare lo schema circuitale del modulo specificato. Nella rappresentazione, facente uso anche di elementi complessi (registri, multiplexer, sommatore, ecc.), si indichino chiaramente i nomi e le dimensioni in bit di tutti i segnali.