

TEMA D'ESAME

Domanda A

Si progetti un contatore sincrono che realizzi il ciclo di conteggio mostrato nella tabella a fianco. Il contatore deve soddisfare i seguenti requisiti:

1. Deve essere dotato di segnale di reset asincrono attivo basso.
2. Deve essere realizzato mediante flip-flop di tipo D

Y0	Y1	Y2
0	0	0
1	1	1
0	0	1
1	1	0
0	1	0
1	0	1

Domanda B

Una macchina a stati finiti è dotata di un ingresso X ad un bit ed un'uscita Z, anch'essa ad un bit. L'uscita della macchina a stati finiti assume valore 0 ogni volta che riconosce in ingresso la sequenza 010, mentre assume valore 1 in tutti gli altri casi. Si noti che due sequenze corrette consecutive possono essere parzialmente sovrapposte, ovvero l'ultimo 0 della prima sequenza può essere il primo 0 della sequenza successiva. A titolo di esempio, si consideri la seguente possibile sequenza di ingresso e la sequenza di uscita corrispondente:

x: ... 1 1 1 1 0 1 0 1 0 1 0 1 1 1 0 0 0 1 0 1 1 ...
z: ... 1 1 1 1 1 1 0 1 0 1 0 1 1 1 1 1 1 1 0 1 1 ...

Tracciare il diagramma degli stati e verificare che la macchina ottenuta sia minima.

Domanda C

Data la tabella degli stati mostrata, in cui s0 è lo stato di reset:

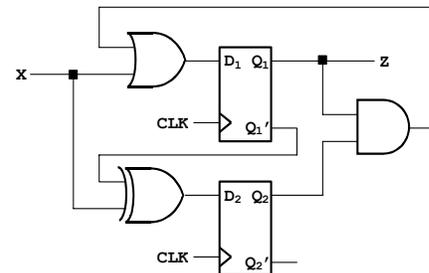
1. Ricavare la macchina ridotta costituita da tutte le classi di massima compatibilità ricordando di applicare in primo luogo l'analisi di raggiungibilità. Si riportino quindi esplicitamente tutte le classi di massima compatibilità trovate.
2. Ricavare la tabella degli stati ridotta.
3. Partendo dalle classi ottenute al punto 1, individuare la macchina minima composta da classi di compatibilità non necessariamente massima.

	0	1
S0	S2/-	S1/1
S1	S3/-	S2/-
S2	S7/0	-/1
S3	-/0	S4/1
S4	S0/1	S2/0
S5	-/1	S6/1
S6	S7/1	S0/1
S7	-/0	S4/1

Domanda D

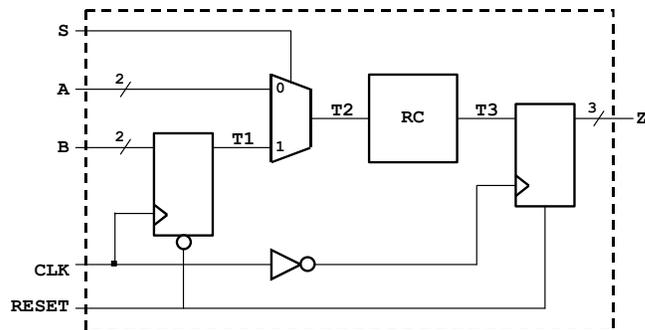
Si consideri il circuito sequenziale riportato a fianco. Entrambi i flip-flop sono dotati di segnale di reset attivo basso, non riportato nella figura. Si richiede di:

1. Ricavare le funzioni di stato prossimo e di uscita ed esprimerle in forma di equazioni logiche.
2. Verificare se la macchina così ottenuta è minima.



Domanda E

Si consideri l'architettura mostrata nella figura seguente, in cui la rete combinatoria RC è descritta dalla tabella della verità riportata a fianco.



T2 (0)	T2 (1)	T3
0	0	000
0	1	011
1	0	110
1	1	111

Si richiede di fornire la specifica VHDL di entity e architecture in modo che il componente realizzi la funzionalità descritta dallo schema a blocchi mostrato. La specifica deve soddisfare i seguenti requisiti:

1. Utilizzare lo stile di descrizione VHDL Register-Transfer
2. Utilizzare una sola entity/architecture
3. Mantenere invariati i nomi dei segnali interni, ove specificati
4. Utilizzare il numero minimo indispensabile di process