

Curriculum Vitæ

Carlo Brandolese

Indice

Informazioni generali	1
Studi accademici	2
Altri studi	3
Attività lavorativa	4
Attività didattica	4
Attività scientifica	7
Attività istituzionali	12
Altre attività	12
Progetti internazionali di ricerca	14
Pubblicazioni	16

Informazioni generali

Nome: Carlo Brandolese
Data di nascita: 17 Marzo 1970
Luogo di nascita: Milano
Residenza: Via L. Vanvitelli, 41 — 20129 Milano
Telefono: +39 02 2399 3492
+39 02 23954 325
+39 338 6287293
E-mail: carlo.brandolese@polimi.it
Homepage: <http://home.dei.polimi.it/brandole>

Studi accademici

1997–2000

**Dottorato di Ricerca in Informatica e Automatica
Politecnico di Milano — DEI**

La sua tesi “A co-design approach to software power estimation for embedded systems” ha come oggetto la modellizzazione e stima della dissipazione di potenza delle componenti software nei sistemi dedicati. La tesi ha proposto un approccio a tre livelli: codice sorgente, rappresentazione intermedia e codice assembly. Per ogni livello ‘e stato sviluppato un modello rigorosamente giustificato su base statistica e verificato rispetto ai dati reali disponibili, nonché una metodologia generale, atta ad estendere i modelli individuati a nuove architetture. Allo scopo di applicare tali modelli a problemi reali, sono stati inoltre sviluppati alcuni strumenti software. Il lavoro si conclude presentando un nuovo modello generale in grado di trattare linguaggi di specifica completi, in particolare il C.

1997–1998

**Master in Information Technology
CEFRIEL - Area Electronic Design Automation**

Durante il corso di master ha affrontato il problema della rappresentazione del linguaggio parallelo OCCAM2 ai fini del suo trattamento all’interno di un ambiente integrato di co-design. In particolare, la sua tesi “Tecniche di generazione di codice per sistemi hardware/software dedicati” ha approfondito il problema della generazione di codice sequenziale a partire da una specifica di sistema fornita attraverso il linguaggio OCCAM2. Uno dei temi maggiormente sviluppati è stato lo studio e l’implementazione di tecniche di retargeting verso architetture differenti.

1988–1995

**Laurea in Ingegneria Elettronica
Politecnico di Milano - DEI**

La sua tesi “Metodologia di piazzamento guidato da vincoli per circuiti integrati analogici” ha analizzato i problemi di floorplanning e piazzamento di circuiti analogici digitali nel rispetto di un insieme di vincoli espressi come intervalli di variazione delle caratteristiche funzionali del dispositivo in esame. Tali vincoli sono stati trasformati in regole di tipo geometrico e utilizzati per guidare il processo di posizionamento dei componenti e/o blocchi del dispositivo. La metodologia è stata sviluppata basandosi su un’analogia con un sistema meccanico di corpi rigidi interagenti per mezzo di molle.

Altri studi

2009

TÜV SÜD

IEC 61508 Functional Safety, (24 h)

1999

Politecnico di Milano

Matematica Discreta, (24 h)

Software testing and Analysis (24 h)

1998

NATO Advance Study School

System Level Synthesis, (80 h)

1997–1998

CEFRIEL

Electronic design automation, (40 h)

Digital signal processing, (40 h)

Software engineering, (40 h)

1995–1997

Italtel R&D

Digital circuits design flow using FPGAs, (40 h)

Design for testability and testing, (16 h)

VHDL digital design, (24 h)

Digital circuits simulation, (16 h)

1995–1997

Synopsys Inc.

Interface design using Protocol Compiler, (40 h)

Design synthesis using Design Compiler, (40 h)

Attività lavorativa

2004–oggi

Ricercatore, Politecnico di Milano — DEI

1998–oggi

Consulente, CEFRIEL — Embedded System Design Unit

2001–2004

Assegnista di ricerca, Politecnico di Milano — DEI

1995–1997

CAD Engineer, Italtel — Dipartimento di Ricerca Centrale

Attività didattica

Da gennaio 2003 (con entrata in servizio in gennaio 2004) Carlo Brandolese è ricercatore presso il Dipartimento di Elettronica e Informazione del Politecnico di Milano, sede di Cremona. Da gennaio 2007 è ricercatore confermato presso lo stesso Dipartimento.

Politecnico di Milano

Architetture dei calcolatori e sistemi operativi – Cremona

2012–oggi, Titolare

Reti logiche A – Cremona

2002–oggi, Titolare

Reti logiche B – Milano

2003–2004, Titolare

Progetto di informatica A – Cremona

2003–2008, Titolare

Sistemi embedded – Como

2004–2008, Titolare

Laboratorio di modellazione dei sistemi – Milano

2004–2007, Titolare

Informatica 2 – Milano

2000–2007, Responsabile di laboratorio

Informatica 2 – Milano

2000–2003, Esercitatore

Reti logiche A – Como

2003–2008, Esercitatore

Calcolatori elettronici – Como

1998–2002, Esercitatore e responsabile di laboratorio

Calcolatori elettronici – Milano

1999–2000, Esercitatore

Politecnico di Milano — Corsi di Master

Programmazione di qualità per sistemi embedded

Master di II livello

2008–2012, Direttore e docente

Sistemi embedded e Real Time

Master di I livello in Progettazione di Sistemi Meccatronici)

2004–2007, Docente

CEFRIEL — Corsi di Master

Progettazione di circuiti VLSI

Master di II livello in Information Technology

2002–2008, Docente

Il sistema operativo Unix

Master di II livello in Information Technology

2000–2003, Docente

Programmazione in C

Master di II livello in Information Technology

2002–2003, Docente

Programmazione avanzata in C

Master di II livello in Information Technology

2002–2003, Docente

Il sistema operativo Unix

Master in Convergenza e Società dell'Informazione

2000–2001, Docente

Programmazione parallela e di rete

Master in Microelettronica

2001–2002, Docente

Università degli Studi di Verona

Architettura degli elaboratori

1999–2000, Esercitatore e responsabile di laboratorio

Formazione aziendale

Il flusso di progettazione di FPGA

Italtel – Scuola Reiss Romoli

1995–1997, 4 edizioni

Il sistema operativo Unix

Siemens, STM, Etnoteam

2000–2003, 4 edizioni

Scripting Tcl

Siemens, STM

2004–2005, 2 edizioni

Linux: Introduzione

STM, GPLV & Partners, Lutech, Pride

2001–2007, 5 edizioni

Linux: Programmazione di shell

STM, Forem, Lutech, Pride

2002–2007, 5 edizioni

Linux: Amministrazione

STM, Lutech

2004–2005, 2 edizioni

Altri corsi**Architettura degli elaboratori**

Bachelor IFTS

1999-2001, 2 edizioni

Sintesi logica e architettura degli elaboratori

Bachelor IFTS

1999-2000, 1 edizione

Altre attività didattiche**Orientamento**

Ha svolto attività di orientamento presso diversi istituti superiori (Licei ed Istituti Tecnici) della Lombardia. Nell'ambito di questi incontri ha presentato tematiche relative all'evoluzione delle architetture di calcolo e al mondo dei sistemi dedicati.

Progettazione master

In collaborazione con Alcatel-Lucent e Cefriel, ha progettato il corso di Master di II Livello in "Programmazione di qualità per sistemi embedded" di cui è il direttore e docente di alcuni dei moduli didattici. Il corso si rivolge a programmatori esperti ed ha l'obiettivo di fornire un solido inquadramento teorico delle problematiche di programmazione in ambiente embedded. Il master ha una durata di 2 anni per un totale di 240 ore di didattica frontale, completata da attività di tutoring e di esercitazione e supportata da una piattaforma di e-learning.

Sviluppo del software didattico per il corso di Informatica 2

Ha progettato e sviluppato, in collaborazione con altri colleghi, la piattaforma software per la gestione del laboratorio del corso di Informatica 2. Tale piattaforma consiste di una collezione di circa 100 problemi di programmazione parallela e di rete da sottoporre agli studenti durante le sessioni previste per lo svolgimento del corso. Il sistema sviluppato tiene traccia dello stato di avanzamento di ogni studente rispetto al percorso didattico previsto e propone problemi opportunamente selezionati.

Gli studenti possono richiedere la verifica automatica delle soluzioni da loro sviluppate in laboratorio tramite la reale compilazione ed esecuzione delle applicazioni client/server richieste. Questo tipo di approccio ha il vantaggio di proporre agli studenti un ambiente di sviluppo realistico e di farli confrontare con le problematiche reali dello sviluppo semplici di applicazioni parallele e di rete. Il sistema è in uso dal 2000 presso le sedi di Milano, Como e Cremona.

Relazione e co-relazione di tesi

Tesi di Dottorato

Dal 2003 ha seguito in qualità di relatore e co-relatore lo svolgimento dell'attività di Dottorato di 5 studenti di dottorato.

Tesi di Master

Nel periodo 1998–2008 ha seguito l'attività di ricerca e sviluppo svolta dagli studenti del Master in Information Technology erogato dal CE-FRIEL ed ha coordinato circa 35 tesi di Master in qualità di relatore o co-relatore.

Tesi di Laurea

Dal 1997 ha seguito l'attività di ricerca di studenti laureandi ed ha coordinato circa 30 tesi di Laurea in qualità di relatore o co-relatore.

Attività scientifica

L'attività scientifica svolta a partire del 1995 ha affrontato diverse tematiche nell'ambito della progettazione dei sistemi dedicati e delle metodologie di sviluppo ed analisi delle prestazioni di tali sistemi. L'interesse scientifico e l'attività svolta si sono focalizzati negli ultimi 8 anni sulle problematiche di simulazione di sistemi eterogenei hardware/software e sulle tecniche di stima ed ottimizzazione delle prestazioni di tali sistemi sia in termini temporali sia di consumo energetico. Dal 2001 svolge attività di revisore per diverse conferenze internazionali tra cui IEEE DAC, IEEE/ACM CODES+ISSS e per alcune riviste tra cui IEEE Transaction on Computer e IEEE Transaction on CAD.

Progettazione di sistemi embedded

Dal 2006 ha rivolto l'attenzione allo studio di una metodologia alternativa per lo sviluppo di sistemi eterogenei, prevalentemente orientati alla elaborazione di dati nell'ambito del digital signal processing e della manipolazione di dati per protocolli di comunicazione avanzati. Tale attività prende le mosse da alcune constatazioni emerse dall'esperienza pas-

sata nell'ambito della progettazione di sistemi digitali hardware/software e dalla attuale tendenza dei mercati e della ricerca internazionale. I punti fondamentali sui quali la metodologia si basa sono: la simulazione di sistema (funzionale e timing, mediante back-annotation) a livello di modello SystemC; il partizionamento hardware/software guidato da criteri sia di costo sia di "affinità"; la generazione automatica del codice VHDL per la sintesi dei moduli hardware e del codice C per la sezione software, ed infine la co-ottimizzazione a livello di sistema.

Wireless Sensor Networks

Dal 2010 ha iniziato ad occuparsi di problematiche relative a consumo energetico e prestazioni nello specifico ambito delle reti di sensori wireless. I primi studi si sono concentrati sul problema della completezza funzionale e dell'allocazione statica e/o dinamica di specifiche funzionalità sui diversi nodi di una rete dotata di una infrastruttura per la code mobility. Questo studio ha preso in esame nodi sensore con una limitatissima disponibilità di memoria non volatile ed ha avuto l'obiettivo di massimizzare il tempo di vita della rete nel suo insieme, garantendone al tempo stesso la completezza funzionale. L'attività di ricerca è quindi proseguita nella direzione di un più ampio obiettivo: rendere lo sviluppo di applicazioni per reti di sensori il più semplice possibile, garantendo al tempo stesso prestazioni elevate e limitato consumo energetico. La ricerca ha portato allo sviluppo di modelli, politiche e meccanismi di duty-cycling specificamente concepiti per le tipiche applicazioni nel campo delle reti di sensori. I vari risultati sono stati quindi composti in un unico framework concettuale per lo sviluppo di applicazioni embedded distribuite ed hanno portato allo sviluppo di un prototipo di nodo sensore dotato di tutte le funzionalità studiate. L'attività svolta ha portato alla pubblicazione di circa 10 articoli a conferenze internazionali.

Caratterizzazione energetica di microarchitetture

I lavori di ricerca finalizzati all'analisi ed alla caratterizzazione energetica di applicazioni software per sistemi embedded si basano sull'assunto fondamentale di disporre di modelli statici accurati del tempo di esecuzione e dell'energia assorbita da un microprocessore durante l'esecuzione di singole istruzioni assembly. A tale scopo è stata sviluppata una metodologia di misura delle prestazioni di microarchitetture tipicamente impiegate nello sviluppo di sistemi embedded. Tale metodologia si compone di una analisi del problema della misura dal punto di vista puramente elettronico, di un insieme di applicazioni software, sviluppate ad hoc, per la generazione automatica di opportune sequenze di istruzioni assembly e per l'esecuzione automatica delle campagne di misura ed, infine, di una

strategia di analisi dei dati in grado di isolare i diversi effetti sovrapposti che concorrono alla dissipazione di energia osservata. Particolare attenzione è stata dedicata a quest'ultimo aspetto ed i risultati hanno dimostrato la correttezza delle ipotesi fatte sulla forma del modello di consumo energetico. Tale modello ha permesso infatti di evidenziare la dipendenza dallo stato del processore, dalla configurazione delle gerarchie di memoria, dalla temperatura e, in alcuni casi, dai dati. Negli ultimi anni l'attività di ricerca nel campo della caratterizzazione energetica delle microarchitetture, grazie allo sviluppo di ambienti open-source di sviluppo di compilatori (LLVM, nel caso specifico), ha permesso di alzare il livello di astrazione da quello architetturale a quello di instruction-set. Il lavoro di ricerca in quest'ambito, confluito nel progetto IST COMPLEX, ha portato allo sviluppo di nuovi modelli e statistici, oggetto di alcune pubblicazioni. A supporto della metodologia e di tali modelli statistici è stata sviluppata una toolchain di caratterizzazione.

Modellizzazione delle prestazioni di sistemi operativi

Nell'ambito della valutazione delle prestazioni e della dissipazione di potenza del software per sistemi embedded sempre più spesso il sistema operativo diviene una componente di particolare rilevanza. A differenza dell'applicazione finale (sviluppata in C ed il cui codice è completamente disponibile e pertanto analizzabile mediante il flusso a livello sorgente) e delle librerie di terze parti (spesso disponibili in forma binaria e pertanto analizzabili mediante il flusso a livello assembly) il sistema operativo è generalmente disponibile sotto forma di codice binario non eseguibile sotto il controllo di una applicazione di analisi ma solamente in modalità protetta. Per questa ragione non è possibile utilizzare l'approccio adottato per l'analisi delle librerie ed è necessario ricorrere ad una modellizzazione black-box basata su misure dirette sia del tempo di esecuzione, sia della potenza assorbita. A tale scopo sono stati messi a punto due differenti ambienti sperimentali di misura basati rispettivamente sull'uso di contatori interni al microprocessore (qualora disponibili) oppure sull'uso di contatori esterni realizzati su FPGA. Al fine di automatizzare il processo di misura sono stati progettati e implementati strumenti software per il controllo da host delle board usate per accogliere il microprocessore su cui è in esecuzione il sistema operativo. Mediante tale metodologia sono stati analizzati — a livelli diversi di completezza — diversi sistemi operativi open source e commerciali, sia tradizionali (WindowsCE, Linux, iCLinux) sia real-time (WxWorks, RTEMS). L'analisi è stata condotta per diversi microprocessori (StrongARM, IBM PowerPC, Intel x86, Xilinx Microblaze) evidenziando come le prestazioni relative delle principali chiamate di sistema operativo (file system, gestione della memoria, comunicazione e sincronizzazione) siano

significativamente dipendenti dal tipo di architettura dell'esecutore. Il lavoro di analisi è in gran parte concluso e la ricerca attuale è rivolta principalmente alla caratterizzazione dello scheduler.

Stima ed ottimizzazione di potenza per software embedded

Nella fase conclusiva del programma di dottorato, è stata proposta una generalizzazione del modello per la stima delle caratteristiche temporali a partire dal codice sorgente. Il nuovo approccio si riferisce al linguaggio ANSI C in quanto riveste un maggiore interesse a livello industriale. Tale attività si è focalizzata sulla modellizzazione dei costrutti del linguaggio C e delle funzioni di libreria, di cui non è disponibile il codice sorgente. A tale scopo sono state sviluppate due metodologie di analisi complementari e integrate basate su solide basi teoriche sia analitiche sia statistiche. Il lavoro ha portato alla definizione di una grammatica ad attributi del linguaggio C in grado di rendere conto del contributo energetico dei singoli "atomi" costituenti una applicazione. I risultati ottenuti hanno costituito il punto di partenza per lo sviluppo di una metodologia generale di ottimizzazione del codice sorgente.

Analisi delle prestazioni di sistemi misti hardware/software

Il lavoro svolto a partire dal 1998 ha affrontato il problema dello sviluppo di metodologie, modelli e strumenti per lo sviluppo e la valutazione delle caratteristiche del software per sistemi dedicati. In particolare, sono stati considerati gli aspetti relativi alla valutazione delle prestazioni in termini di tempo di esecuzione e di dissipazione di potenza. Queste analisi hanno portato allo sviluppo di modelli originali e di strumenti di stima automatici. Inizialmente i problemi affrontati hanno riguardato la compilazione del linguaggio parallelo OCCAM2 su una generica macchina sequenziale, la generazione di codice VHDL per le componenti hardware e la comunicazione tra partizione hardware e partizione software. Il lavoro ha successivamente approfondito gli aspetti legati alla generazione di codice assembly e ha portato allo sviluppo di un semplice linguaggio pseudo-assembly, nonché alla realizzazione di un insieme di strumenti e di librerie per la traduzione di tale linguaggio intermedio verso un'architettura generica. La parte più consistente è stata lo studio del problema della stima delle dimensioni, delle prestazioni e della dissipazione di potenza del software. In tale ambito la ricerca ha portato allo sviluppo di una metodologia completa, basata su tre differenti modelli relativi ai diversi livelli di astrazione: codice sorgente, livello intermedio o pseudo-assembly e livello macchina. Tali modelli sono stati implementati e integrati all'interno dell'ambiente di co-design TOSCA. L'attività di ricerca è stata parte di due progetti Esprit (SEED, PEOPLE) ed ha

portato alla definizione di un nuovo progetto IST (POET) ed i risultati sono stati raccolti nella tesi di Dottorato.

Sensor fusion mediante reti neurali e logica fuzzy

Nell'ambito del secondo tema minore, è stato affrontato il problema dell'elaborazione e l'integrazione di dati — immagini digitali, immagini a raggi X, temperatura, suono ecc. — acquisiti da più sensori eterogenei. Il lavoro ha avuto come ambito applicativo la valutazione automatica della qualità del processo di saldatura laser (keyhole laser welding) di parti metalliche. Sono state analizzate diverse soluzioni proposte in letteratura valutandone le caratteristiche. In particolare, sono state considerate soluzioni miste, in cui tecniche classiche di elaborazione dell'immagine si combinano con tecniche sia neurali sia basate su logica fuzzy. Il lavoro, svolto in collaborazione con il Centro Ricerche FIAT, è stato parte di un progetto Esprit (SLAPS).

Generazione automatica di codice di controllo

La generazione di codice di controllo per sistemi dedicati real-time a partire da specifiche formali di alto livello costituisce un importante ostacolo nell'automazione del processo di progettazione di sistemi complessi. La qualità, in termini di efficienza, del codice generato con algoritmi classici non garantisce infatti sufficienti prestazioni, mentre la scrittura diretta di codice di basso livello — spesso C o assembly — ne limita la manutenibilità e impedisce di dimostrare in maniera rigorosa alcune proprietà degli algoritmi implementati. Il sistema di sviluppo proposto è basato sull'uso di Functional Block Diagram (FBD) e reti di Petri temporizzate di alto livello (HLTPN). In questo contesto, la sintassi della specifica è fornita dalla grammatica FBD, mentre la semantica è espressa da reti di Petri. Il lavoro ha proposto una nuova metodologia di generazione di codice basata una scomposizione pattern-based della rete di Petri che modella il sistema. Tale scomposizione è resa possibile dalla struttura della rete, imposta dalla grammatica FBD. Il lavoro di analisi, svolto nell'ambito del primo tema di ricerca minore del corso di dottorato, è stato parte di un progetto Esprit (INFORMA).

Progettazione di un ambiente di co-simulazione e co-sintesi

Il lavoro di ricerca ha studiato il problema dello sviluppo di una libreria a oggetti (in C++) per la rappresentazione della struttura sintattica del linguaggio parallelo OCCAM2. La libreria ha avuto funzione di supporto per lo sviluppo di strumenti di simulazione e di sintesi software e hardware. Tale progetto ha richiesto lo sviluppo, mediante strumenti standard, di un analizzatore lessicale e di un parser. Il lavoro è pros-

eguito con lo sviluppo di un compilatore sperimentale per il linguaggio OCCAM, di un linker e di uno strumento di ottimizzazione del codice assembly e ha costituito il tema di ricerca maggiore del corso di Master in Information Technology.

Floorplanning di circuiti integrati analogici

Nella progettazione di dispositivi analogici è consuetudine specificare le prestazioni desiderate in termini di massima deviazione rispetto al comportamento nominale. Il lavoro di ricerca svolto nell'ambito della tesi di laurea ha inizialmente preso in esame le cause di degradazione delle prestazioni dovute agli aspetti geometrici legati al piazzamento e allo sbroglio, per poi formalizzare alcune metriche finalizzate alla misura di tali scostamenti rispetto alle caratteristiche nominali. Grazie a tali metriche, è stato possibile tradurre i vincoli espressi in termini di prestazioni in un nuovo insieme equivalente di vincoli geometrici. Sulla base dei vincoli geometrici così ricavati, è stata sviluppata una metodologia di piazzamento e di floorplanning fondata su un'analogia con un sistema meccanico di corpi rigidi (le celle) e molle (i vincoli). Al fine di verificare la qualità e le prestazioni di questo modello, è stato realizzato un prototipo di tool di floorplanning in grado di trattare problemi di discreta complessità.

Attività istituzionali

2010-2014

Esami di Stato

Membro aggregato

Ha partecipato in qualità di membro aggregato ai lavori della II^a Commissione Esami di Stato – Ingegneria Informatica. Oltre alla usuale attività di membro aggregato, ha collaborato alla ridefinizione della struttura delle prove dell'esame di stato in accordo con le direttive ministeriali. Ha inoltre collaborato ai corsi di preparazione per i candidati all'esame di stato.

Altre attività

2004

FOREM S.p.A.

Consulente progettista

Si è occupato di sviluppare uno studio di fattibilità relativo allo sviluppo di un ASIC di medie dimensioni (circa 4 milioni di gate) in ambito

UMTS. Tale studio è stato articolato in quattro fasi. In primo luogo è stata analizzata la specifica del sistema ed è stata definita una possibile architettura in collaborazione con i progettisti FOREM. Quindi si sono studiate le problematiche di porting da FPGA a ASIC di implementazioni esistenti di alcune porzioni del sistema, valutando costi, tempi di sviluppo, prestazioni e dimensioni. Una volta chiariti tali aspetti si è progettato un flusso di sviluppo per tutta la fase di front-end e si è definita una strategia di interazione con le silicon foundries per la fase di back-end e testing. Quest'ultima fase ha comportato la valutazione di diverse soluzioni sia sul piano tecnico, sia sul piano commerciale.

2001

Procura della Repubblica Consulente tecnico d'ufficio

La Procura della Repubblica ha richiesto la sua consulenza tecnica per svolgere indagini relative a un caso di sospetta duplicazione illegale di software finalizzato alla realizzazione di un servizio informatico a terzi. Altri dettagli non possono essere resi pubblici.

2000

Studio Legale Freshfields Consulente di parte

Si è occupato di svolgere perizie tecniche in campo informatico allo scopo di determinare le caratteristiche di uno strumento software distribuito presso diverse sedi. Il lavoro è stato svolto nell'ambito di un procedimento civile internazionale.

1997–1998

FOREM S.p.A. Consulente progettista

Ha progettato e sviluppato, con tecnologia FPGA, un modem per applicazioni dedicate basato sulla codifica FSK 2/4. Il dispositivo ha fornito una capacità di trasmissione di 9.5 Mbit/s su due canali full-duplex per una banda totale di 38 Mbit/s. Tali prestazioni hanno richiesto un uso particolarmente spinto della tecnologia Xilinx.

Progetti internazionali di ricerca

EP.1. **IP Project N. 247999 — COMPLEX (2009–2012)**

Responsabile tecnico, 3 anni

Il progetto ha lo scopo di integrare e ottimizzare un insieme vasto ed eterogeneo di strumenti di modellazione, simulazione, analisi e sintesi per sistemi dedicati hardware/software multicore. Nell'ambito di tale progetto l'attività specifica del gruppo di ricerca del Politecnico di Milano si è focalizzata sulla generazione di codice opportunamente arricchito al fine di consentire la co-simulazione su piattaforma virtuale a livello TLM. A tale scopo, le metodologie e gli strumenti sviluppati si occupano dapprima di produrre una stima delle prestazioni e della dissipazione di potenza delle varie componenti software, quindi procedono alla generazione del nuovo codice. Di particolare interesse è una metodologia — attualmente in fase di studio — orientata alla costruzione di simulatore di generici device esterni al core mediante il concetto di traccia di eventi e di macchina a stati generalizzata.

EP.2. **IST Project N. 034963 — WASP (2006–2010)**

Responsabile tecnico, 3 anni

Il progetto si propone di sviluppare ogni aspetto necessario a rendere utilizzabile in modo semplice una rete wireless di sensori. In particolare si focalizza l'attenzione sulla realizzazione di metodologie ed infrastrutture software atte a rendere l'applicazione il più indipendente possibile dal supporto hardware (nodo) e del software di base (sistema operativo e driver). L'attività specifica di cui si è occupato riguarda la definizione e l'implementazione di una infrastruttura portabile per permettere al software, sia di base sia applicativo, di gestire gli aspetti non-funzionali quali, ad esempio, le prestazioni, la dissipazione di potenza, la sicurezza e così via. Una tale attività bene si configura come estensione e miglioramento delle tecniche precedentemente studiate nel progetto POET.

EP.3. **IST Project N. 2000-30125 — POET (2001–2005)**

Responsabile tecnico, 3 anni

Il progetto si propone di estendere ed affinare le tecnologie ed i risultati ottenuti durante il progetto PEOPLE. L'attenzione si concentra sulle problematiche relative alla ottimizzazione delle varie componenti di un sistema embedded, dai circuiti dedicati (ASIC, ASIP, FPGA) al dimensionamento di componenti off-the-shelf (Bus, Memorie, Cache), alle componenti software.

EP.4. **BRITE Project N. BRPR989008 — SLAPS (1999–2000)**

Consulente tecnico, 6 mesi

I processi di taglio e saldatura laser di parti metalliche hanno una vasta gamma di applicazioni industriali. La valutazione della qualità e il controllo di tali processi sono tuttavia problemi complessi che hanno finora limitato il campo di applicazione della saldatura laser soltanto ad alcune specifiche classi di materiali. L'introduzione nello spettro dei materiali trattabili con un processo automatico di metalli altamente riflettenti e/o con elevata conducibilità termica aprirebbe la strada a nuove interessanti applicazioni. Lo scopo del progetto consiste nella messa a punto di nuove tecniche di analisi e di controllo del processo basate sulla fusione sensoriale e su paradigmi innovativi di elaborazione di immagini, quali reti neurali e logica fuzzy. Tali modelli e metodologie dovranno essere integrati in ambienti CAD/CAM preesistenti costituire un punto di partenza per lo sviluppo di nuove tecnologie.

EP.5. **ESPRIT Project N. 23163 — INFORMA (1997–1999)**

Consulente tecnico, 6 mesi

Scopo del progetto è integrare le diverse tecnologie attualmente utilizzate per la specifica di sistemi complessi e fornire un ambiente completo basato su metodi formali. In tale nuovo ambiente, le diverse tecnologie possono avvalersi di metodi formali al fine di ottimizzare l'intero ciclo di sviluppo e di garantire una migliore qualità e affidabilità del prodotto finale, pur mantenendo limitati i costi e i tempi di sviluppo. La specifica del sistema si basa su modelli ISO-PLC e reti di Petri temporizzate di alto livello. Lo strumento di analisi, simulazione e animazione della specifica si appoggia sul toolbox Simulink di Matlab e fornisce funzionalità aggiuntive quali la generazione automatica di codice C++ a partire dai modelli formali.

EP.6. **ESPRIT Project N. 26796 — PEOPLE (1998–2000)**

Responsabile tecnico, 3 anni

L'obiettivo del progetto è lo sviluppo di un ambiente integrato per la stima della dissipazione di potenza di sistemi dedicati eterogenei, partendo da una descrizione a un elevato livello di astrazione. L'architettura di riferimento del sistema in esame consiste in un SOC che integra uno o più core di microprocessori, memorie, moduli IP e hardware dedicato. Il nuovo approccio al problema fornisce la possibilità di valutare diverse alternative di progetto rimanendo a un alto livello di astrazione. Ciò consente da un lato una esplorazione efficiente dello spazio delle soluzioni, riducendo quindi il

time-to-market, dall'altro un risparmio in termini di energia potenzialmente più consistente rispetto a strumenti analoghi operanti ad un livello di astrazione inferiore.

EP.7. ESPRIT Project N. 22133 — SEED (1996–1997)

Consulente tecnico, 1 anno

Lo sviluppo di una metodologia avanzata di progettazione di sistemi dedicati hardware/software con vicoli real-time è fortemente richiesto in particolare nel campo delle telecomunicazioni. Il flusso di progetto prototipale TOSCA, rispondente a tali caratteristiche, è stato sviluppato presso il CEFRIEL. Tale ambiente consente al team di progetto di specificare in modo astratto differenti funzionalità e di assegnarle ad unità dedicate sia hardware che software. Grazie all'efficienza computazionale dei modelli per la simulazione sviluppati, l'ambiente TOSCA consente di effettuare una significativa analisi dello spazio delle soluzioni. Come caso di studio è stato sviluppato un dispositivo per applicazioni telecom di discreta complessità.

Publicazioni

Riassunto delle pubblicazioni

Articoli a conferenze internazionali	41
Articoli su riviste internazionali	6
Libri e capitoli di libro	6
Tesi	5
Rapporti interni	9
Rapporti tecnici di progetto	18

Conferenze internazionali

- IC.1. con W. Fornaciari, L. Rucco “A Formal Model for Optimal Autonomous Task Hibernation in Constrained Embedded Systems,?” EUROMICRO Conference on Digital System Design, (DSD'13), Santander, Spain, September 2013.
- IC.2. con W. Fornaciari, L. Rucco, “Power Management Support to Optimal Duty-Cycling in Stateful Multitasking WSN,?” IEEE International Symposium on Parallel and Distributed Processing with Applications (ISPA-13), Melbourne, Australia, July, 2013.
- IC.3. con W. Fornaciari, L. Rucco, “Optimal Hibernation Policies for Energy Efficient Stateful Operation in High-end Wireless Sensor

- Nodes,” IEEE International Symposium on a World of Wireless, Mobile and Multimedia Networks (WoWMoM’13), Madrid, Spain, June 2013.
- IC.4. con L. Rucco, A. Bonarini, W. Fornaciari, “A Bird’s Eye View on Reinforcement Learning Approaches for Power Management in WSNs,” IEEE/IFIP Wireless and Mobile Networking Conference (WMNC’13), Dubai, United Arab Emirates, April 2013.
- IC.5. con W. Fornaciari, L. Rucco, F. Terraneo, “Introducing Smart Drivers - A Way to Conceive Smart Data Sensing in Wireless Sensor Networks,” IEEE International Conference on Information Communication and Embedded Systems (ICICES’13), Chennai, Tamilnadu, India, February 2013.
- IC.6. con W. Fornaciari, “Software Energy Optimization Through Fine-Grained Function-Level Voltage and Frequency Scaling,” IEEE/SIGDA International Conference on Hardware/Software Codesign and System Synthesis, (CODES+ISSS’12), Tampere, Finland, October 2012.
- IC.7. con W. Fornaciari, L. Rucco, F. Terraneo, “Enabling Ultra-Low Power Operation in High-End Wireless Sensor Networks Nodes,” IEEE/SIGDA International Conference on Hardware/Software Codesign and System Synthesis, (CODES+ISSS’12), Tampere, Finland, October 2012.
- IC.8. con W. Fornaciari, G. Palermo et. al., “COMPLEX - COdesign and power Management in PLatform-based design space EXploration,” The 15th EUROMICRO Conference on Digital System Design, (DSD’12) Cesme, Izmir, Turkey, September 2012.
- IC.9. con W. Fornaciari, L. Rucco, D. Zoni, “Towards Energy-Efficient Functional Configuration in WSNs,” IFAC/IEEE International Conference on Programmable Devices and Embedded Systems, (PDES’12), Brno, Chzech Republic, May 2012.
- IC.10. con W. Fornaciari, L. Rucco, D. Zoni, “Power-efficient software allocation in Wireless Sensor Networks,” (Poster), IEEE Conference on Design Automation and Testing in Europe, (DATE’12), Dresden, Germany, March 2012.
- IC.11. con S. Bocchio, S. Corbetta, W. Fornaciari, “A Methodology and a Case Study of Dynamic Power Management for Embedded Systems,” (Invited paper), Ecole d’hiver Francophone sur les Technologies de Conception des Systèmes embarqués Hétérogènes, (FETCH’12), Alpe d’Huez, France, January 2012.

- IC.12. con S. Corbetta, W. Fornaciari, “Software Energy Estimation Based on Statistical Characterization of Intermediate Compilation Code,” *IEEE International Symposium on Low Power Electronics and Design*, (ISLPED’11), Fukuoka, Japan, August 2011.
- IC.13. con L. Rucco, “A Genetic Approach for WSN Lifetime Maximization Through Dynamic Linking and Management,” *ACM International Symposium on Performance Evaluation of Wireless Ad Hoc, Sensor, and Ubiquitous Networks*, (PE-WASUN’10), Bodrum, Turkey October, 2010.
- IC.14. con W. Fornaciari, D. P. Scarpazza, “Source-Level Energy Estimation and Optimization of Embedded Software,” *IEEE Latin America Symposium on Circuits and Systems*, (LASCAS’10), Foz do Iguazu, Paranà, Brazil, February 2010.
- IC.15. con W. Fornaciari, L. Rucco, “A Lightweight Mechanism for Dynamic Linking in Wireless Sensor Networks,” *IEEE Latin America Symposium on Circuits and Systems*, (LASCAS’10), Foz do Iguazu, Paranà, Brazil, February 2010.
- IC.16. con W. Fornaciari, “A Framework for Compile-time and Run-time Management of Non-Functional Aspects in WSN’s Nodes,” *The 12th EUROMICRO Conference on Digital System Design*, (DSD’09), Patras, Greece, September 2009.
- IC.17. con W. Fornaciari, “Measurement, Analysis and Modeling of RTOS System Calls Timing,” *The 11th EUROMICRO Conference on Digital System Design*, (DSD’08), Parma, Italy, September 2008.
- IC.18. “Source-Level Estimation of Energy Consumption and Execution Time of Embedded Software,” *The 11th EUROMICRO Conference on Digital System Design*, (DSD’08), Parma, Italy, September 2008.
- IC.19. con D. Crespi, L. Frigerio, F. Salice, “A New Framework for Design and Simulation of Complex Hardware/Software Systems,” *The 10th EUROMICRO Conference on Digital System Design*, (DSD’07), Lubeck, Germany, August 2007.
- IC.20. con C. Bolchini, L. Frigerio, V. Rana, F. Salice, M. Santambrogio, “RoadRunner and IPGen: A Combined Solution to Speedup Configurable Systems Design,” *The 3rd Southern Conference on Programmable Logic*, (SPL’07), Mar del Plata, Argentina, February 2007.
- IC.21. con W. Fornaciari, L. Pomante, F. Salice, R. Zafalon, “DPM at OS Level: Low-Power Scheduling Policies,” *IEEE International Con-*

ference on Circuits, Systems, Electronic, Control and Signal Processing, (WSEAS'06), Dallas, TX, USA, November 2006.

- IC.22. con C. Bolchini, W. Fornaciari, L. Frigerio, F. Salice, "A Data-Path Oriented, IP-Based Framework for Flexible Design Exploration" *IEEE Electronic Design Processes Workshop*, (EDP'06), Monterey, CA, USA, April 2006.
- IC.23. P .Di Felice, L .Pomante, D.P. Scarpazza, "Parsing SystemC: An Open-Source, Easy-to-Extend Parser," *International Conference on Applied Computing*, (IADIS'06), San Sebastian, Spain, February 2006.
- IC.24. con W. Fornaciari, F .Salice, "A SoC-Based Methodology for Cycle-Accurate RTOS System Call Timing Characterization," *IEEE Conference on Design of Circuits and Integrated Systems*, (DCIS'05), Lisbon, Portugal, November 2005.
- IC.25. con W. Fornaciari, F. Salice, "Discrete-Event Modeling and Simulation of Superscalar Microprocessor Architectures," *IEEE Conference on Power and Timing Modeling, Optimization and Simulation*, (PATMOS'04), pp. 238–247, Santorini, Greece, September 2004.
- IC.26. con W. Fornaciari, F. Salice, "An Area Estimation Methodology for FPGA Based Designs at SystemC-Level," *IEEE Design Automation Conference*, (DAC'04), pp. 129–132, San Diego, CA, USA, June 2004.
- IC.27. con F. Curto, W. Fornaciari, F. Salice, "Analysis and Modeling of Energy Reducing Source Code Transformations," *IEEE Conference on Design Automation and Testing in Europe*, (DATE'04), pp. 306–311, Paris, France, February 2004.
- IC.28. con W. Fornaciari, F. Salice e D. Sciuto, "Library Functions Timing Characterization for Source-Level Analysis," *IEEE Conference on Design Automation and Testing in Europe*, (DATE'03), pp. 1132–1133, Munich, Germany, March 2003.
- IC.29. con W. Fornaciari, "Power-Aware Design of Embedded Software," *Windriver User's Group Forum*, (WindForum'02), Baveno, Italy, November 2002.
- IC.30. con G. Beltrame, W. Fornaciari, F. Salice, D. Sciuto e V. Trianni, "Modeling Assembly Instruction Timing in Superscalar Architectures," *IEEE International Symposium on System Synthesis*, (ISSS'02), pp.132–137, Kyoto, Japan, October 2002.

- IC.31. con G. Beltrame, W. Fornaciari, F. Salice, D. Sciuto, V. Trianni, “An Assembly-Level Execution-Time Model for Pipelined Architectures,” *IEEE/ACM International Conference on Computer Aided Design*, (ICCAD’01), pp. 195–200, San Jose, CA, USA, November 2001.
- IC.32. con G. Beltrame, W. Fornaciari, F. Salice, D. Sciuto, V. Trianni, “Dynamic Modeling of Inter-Instruction Effects for Execution Time Estimation,” *IEEE International Symposium on System Synthesis*, (ISSS’01), pp. 136–141, Montreal, Canada, October 2001.
- IC.33. con W. Fornaciari, F. Salice e D. Sciuto, “Source-Level Execution Time Estimation of C Programs,” *IEEE International Workshop on Hardware Software Co-design*, (CODES’01), pp. 98–103, Copenhagen, Denmark, April 2001.
- IC.34. con W. Fornaciari, L. Pomante, F. Salice e D. Sciuto, “A Multi-Level Strategy for Software Power Estimation,” *IEEE International Symposium on System Synthesis*, (ISSS’00), pp. 187–192, Madrid, Spain, September 2000.
- IC.35. “Retargetable Software Power Estimation Methodology,” *IFIP Asia Pacific Conference on Hardware Description Languages*, (WCC-ICDA-00), pp. 408–412, Beijing, China, August 2000.
- IC.36. con W. Fornaciari, F. Salice e D. Sciuto, “An instruction-level functionality-based energy estimation model for 32-bits microprocessors,” *IEEE Design Automation Conference*, (DAC’00), pp. 346–351, Los Angeles, CA, USA, June 2000.
- IC.37. con W. Fornaciari, F. Salice e D. Sciuto, “Energy estimation for 32-bit microprocessors,” *IEEE International Workshop on Hardware Software Co-design*, (CODES’00), pp. 24–28, San Diego, CA, USA, May 2000.
- IC.38. con W. Fornaciari, F. Salice e D. Sciuto, “Fast Software-Level Power Estimation for Design Space Exploration,” *IEEE International Conference on Hardware Description Languages*, (HDLCon’00), pp. 11–16, San Jose, CA, USA, March 2000.
- IC.39. con A. Allara, W. Fornaciari, F. Salice e D. Sciuto, “System-Level Performance Estimation Strategy for SW and HW,” *IEEE International Conference on Computed Design*, (ICCD’98), pp. 48–53, Austin, TX, USA, October 1998.
- IC.40. con M. Pillan, F. Salice e D. Sciuto, “Analog Circuit Placement: A Constraint Driven Methodology,” *IEEE International Symposium*

on *Circuit and System*, (ISCAS'96), pp. 635–638, Atlanta, Georgia, USA, May 1996.

- IC.41. con M. Pillan, F. Salice e D. Sciuto, “A Deterministic, Constraint-Driven Placement Methodology for Analog Circuits,” *IEEE International Conference on Microelectronics*, (ICM'95), Kuala Lumpur, Malaysia, December 1995.

Riviste internazionali

- JR.1. Aa. vv., “The COMPLEX Reference Framework for Hardware/Software Co-Design and Power Management Supporting Platform-Based Design-Space Exploration,” Elsevier *Microprocessors and Microsystems Journal (MICPRO) – Embedded Hardware Design*, Vol. 37, (2013).
- JR.2. con D. P. Scarpazza, “A Fast, Dynamic, Fine-Detail, Source Level Technique to Estimate the Energy Consumed by Embedded Software on Single-Issue Processor Cores,” *Journal of Low-Power Electronics*, American Scientific Publishers, Vol. 2, No. 2, (2006), pp. 129–139.
- JR.3. con W. Fornaciari, L. Pomante, F. Salice, R. Zafalon, “Energy Aware Scheduling of processes at OS level,” *WSEAS Transactions on Circuits and Systems*, Vol. 5, No. 12 (2006), pp. 1811–1818.
- JR.4. con W. Fornaciari, L. Pomante, F. Salice, D. Sciuto, “Affinity-Driven System Design Exploration for Heterogeneous Multiprocessor SoC,” *IEEE Transactions on Computer*, Vol. 55, No. 5, (2006), pp. 508–519.
- JR.5. con W. Fornaciari, F. Salice, D. Sciuto, “The Impact of Source Code Transformations on Software Power and Energy Consumption,” *ACM Journal of Circuits, Systems, and Computers*, Vol. 11, No. 5, (2002), pp. 477–502.
- JR.6. con W. Fornaciari, F. Salice, D. Sciuto, “Static Power Modeling of 32-bit Microprocessors,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 21, No. 11, (2002), pp. 1306–1316.

Libri e capitoli di libro

- BK.1. con L. Giuliani, “C++ 2011 - Caratteristiche e programmazione ,” Pearson Italia, 2011.

- BK.2. “Compilatori: Principi tecniche e strumenti” Traduzione di “Compilers: Principles, techniques and tools,” Seconda edizione, di Alfred V. Aho, Monica S. Lam, Ravi Sethi, Jeffrey D. Ullman, Pearson Paravia Bruno Mondadori, 2009.
- BK.3. con W. Fornaciari, “Sistemi Embedded,” Pearson Paravia Bruno Mondadori, 2007.
- BK.4. con C. Bolchini, F. Salice, D. Sciuto, “Reti Logiche,” Casa Editrice Apogeo, 2004.
- BK.5. con F. Curto, W. Fornaciari, F. Salice, Capitolo “Source Level Models for Software Power Optimization,” in “Ultra Low-Power Electronics and Design,” curato da E. Macii, Kluwer Academic Publishers, 2004.
- BK.6. Capitolo “Retargetable Software Power Estimation Methodology,” in “System on Chip Methodologies and Design Languages,” curato da P. Ashenden, J. Mermat and R. Seepold, Kluwer Academic Publishers, 2001.

Riconoscimenti

- AW.1. Best Paper Award per l’articolo “System-Level Performance Estimation Strategy for SW and HW,” *IEEE International Conference on Computer Design*, (ICCD’98), Austin, TX, USA, 1998.

Rapporti interni

- IR.1. con W.Fornaciari, L. Rucco, F.Terraneo, “PoliNode: A Novel Architecture Enabling Ultra-Low Power Operation in High-End WSN’s Nodes,” Rapporto Tecnico N. 2012.8, Politecnico di Milano, 2012.
- IR.2. con M. Dadomo, “Estimation of the Energy/Timing Characteristics of Source-Level C Code,” Rapporto Tecnico N. 02.002, CEFRIEL, 2002.
- IR.3. con L. Ceresoli, “Time and Power Characterisation of Software Libraries,” Rapporto Tecnico N. 02.005, CEFRIEL, 2002.
- IR.4. con G. Beltrame, “A Model for Assembly Instruction Timing and Power Estimation in Superscalar Architectures,” Rapporto Interno N. 02.012, CEFRIEL, 2002.
- IR.5. con V. Trianni, “Assembly-Level Software Power Estimation: A Methodology for Dynamic Effects Analysis,” Rapporto Interno N. 01.063, CEFRIEL, 2001

- IR.6. “Neuro-Fuzzy Techniques for Quality Assessment of Laser Welding and Cutting Processes,” Rapporto Interno N. 2000.09, Politecnico di Milano, 2000.
- IR.7. “Tecniche di generazione automatica di codice di controllo a partire da descrizioni basate su High-Level Timed Petri Nets (HLTPN),” Rapporto Interno N. 99.23, Politecnico di Milano, 1999.
- IR.8. “Fast Software-Level Power Estimation for Design Space Exploration,” Rapporto Interno N. 99.62, Politecnico di Milano, 1999.
- IR.9. “An Instruction Level Energy Estimation model for 32-bit Micro-processors,” Rapporto Interno N. 99.63, Politecnico di Milano, 1999.

Rapporti tecnici

- TR.1. Aa.Vv, “Final report on embedded software and hardware optimization,” COMPLEX ICT Project N. 247999 — Deliverable D3.2.2, 2012.
- TR.2. Aa.Vv, “Final report on embedded software estimation and model generation,” COMPLEX ICT Project N. 247999 — Deliverable D2.2.2, 2011.
- TR.3. Aa.Vv, “Preliminary report on integration of new methods into prototype tools,” COMPLEX ICT Project N. 247999 — Deliverable D1.3.1, 2011.
- TR.4. Aa.Vv, “Preliminary report on embedded software and hardware optimization,” COMPLEX ICT Project N. 247999 — Deliverable D3.2.1, 2010.
- TR.5. Aa.Vv, “Preliminary report on embedded software estimation and model generation,” COMPLEX ICT Project N. 247999 — Deliverable D2.2.1, 2010.
- TR.6. Aa.Vv, “Definition of application, stimuli and platform specification, and definition of tool interfaces,” COMPLEX ICT Project N. 247999 — Deliverable D1.2.1, 2010.
- TR.7. Aa.Vv, “Core Hardware Abstraction And Programming Model,” WASP IST Project N. 034963 — Deliverable D3.2, 2008.
- TR.8. Aa.Vv, “Preliminary Description of Hardware Abstractions and Programming Model,” WASP IST Project N. 034963 — Deliverable D3.1, 2007.

- TR.9. con W. Fornaciari, F. Salice, “Final Release of the Optimization Toolset and Final User Manual,” POET IST Project N. 2000-30125 — Deliverable D.2.3.2, 2005.
- TR.10. con W. Fornaciari, F. Salice, “Final Release of the Estimation Toolset and Final User Manual,” POET IST Project N. 2000-30125 — Deliverable D.5.1, 2005.
- TR.11. con W. Fornaciari, F. Salice, “Power Reduction Related to Library and Operating System Calls and Design Guidelines at Source Code Level,” POET IST Project N. 2000-30125 — Deliverable D.2.2, 2004.
- TR.12. con W. Fornaciari, F. Salice, “Identification of Main Power Effects Related to Memory Management and Processor Architecture and Related Techniques for Power Reduction,” POET IST Project N. 2000-30125 — Deliverable D.2.1, 2002.
- TR.13. con W. Fornaciari, F. Salice e D. Sciuto, “Final Version of the Prototype Tool for Software-Level Power Estimation,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.3.3, 2000.
- TR.14. con W. Fornaciari, F. Salice e D. Sciuto, “Manual of the Prototype Tool for Software-Level Power Estimation,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.3.4, 2000.
- TR.15. con W. Fornaciari, F. Salice e D. Sciuto, “Final Specification of the Software-Level Power Estimation Methodology and Related Prototype Tool,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.1.2, 1999.
- TR.16. con W. Fornaciari, F. Salice e D. Sciuto, “Preliminary Version of the Prototype Tool for Software-Level Power Estimation,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.3.1, 1999.
- TR.17. con W. Fornaciari, F. Salice e D. Sciuto, “Report on the Application of the Power Analysis Methodology to Different Classes of Microprocessor Cores,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.3.2, 1999.
- TR.18. con W. Fornaciari, F. Salice e D. Sciuto, “Preliminary Specification of the Software-Level Power Estimation Methodology and Related Prototype Tool,” PEOPLE Esprit Project N. 26796 — Deliverable D.1.1.1, 1998.