



Politecnico di Milano – Sede di Cremona
Anno Accademico 2016/2017

Architettura dei Calcolatori e Sistemi Operativi

Esame – 08.02.2017

Prof. Carlo Brandolese

Cognome _____

Nome _____

Matricola _____

Firma _____

Istruzioni

1. Scrivere con cura, negli spazi sopra segnati, il proprio cognome, nome, numero di matricola e apporre la firma.
2. È vietato consultare libri, eserciziari, appunti ed utilizzare la calcolatrice e qualunque strumento elettronico (inclusi i cellulari), pena l'invalidazione del compito.
3. Il testo, debitamente compilato, deve essere riconsegnato in ogni caso.
4. Il tempo della prova è di 3 ore

Valutazione

Domanda	Voto	Note
A		
B		
C		
D		
E		
F		

Domanda A

Si implementi in linguaggio assembly la funzione:

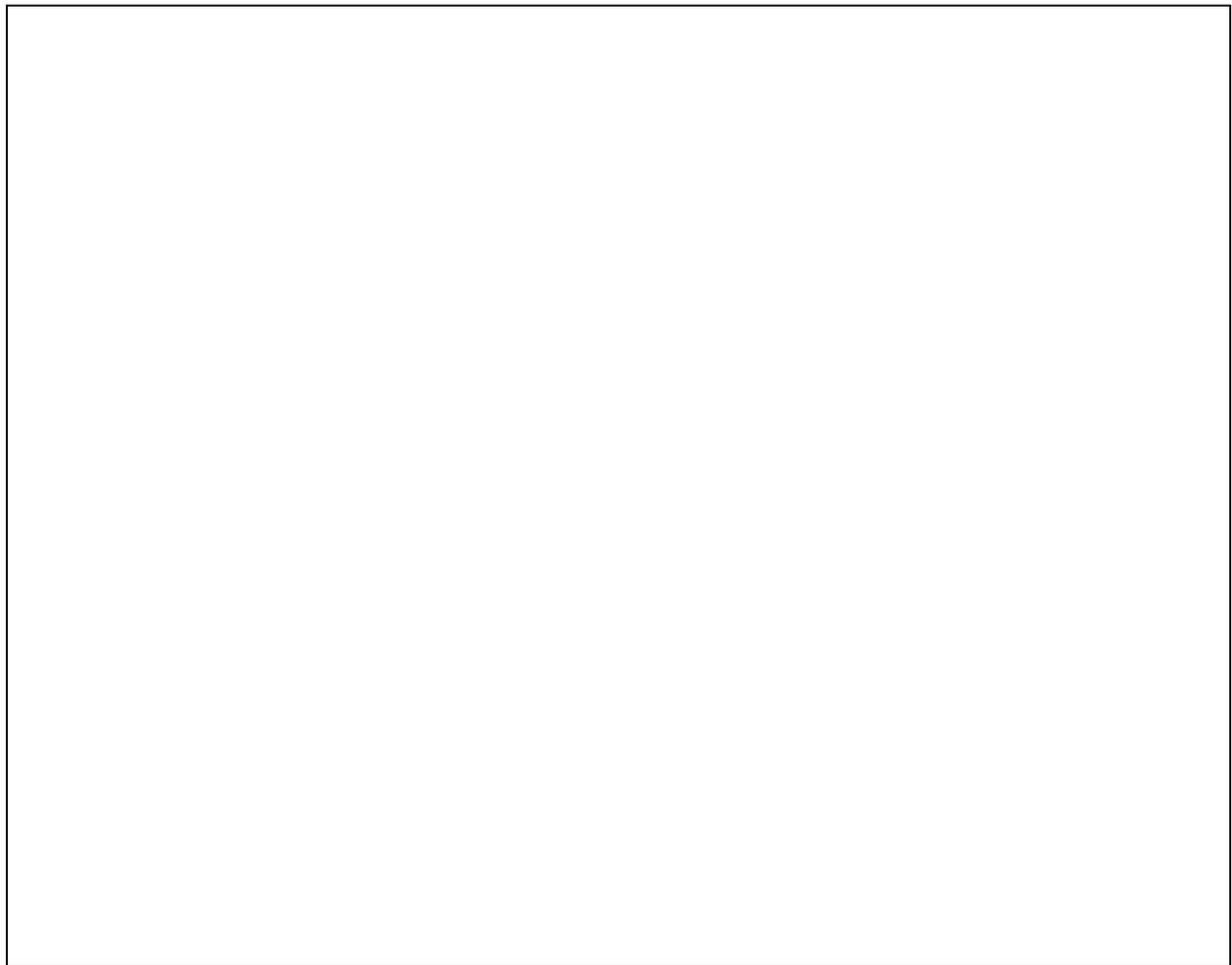
```
int copy( char* dst, char* src )
```

che copia la stringa `src` nella stringa `dst` e ritorna il numero di caratteri copiati. Si tenga presente che le due stringhe `src` e `dst` devono essere stringhe C valide.

Si traduca quindi in assembly in seguente programma C che utilizza la funzione `copy()`:

```
char to[32];
char* from = "This is the text!";
int n;

int main( void )
{
    n = copy( to, from );
    return n;
}
```



Domanda B

Si consideri il seguente insieme di processi:

Process	Arrival Time (T_A)	Execution Time (T_E)
P1	0	8
P2	2	2
P3	8	5
P4	10	3
P5	11	6

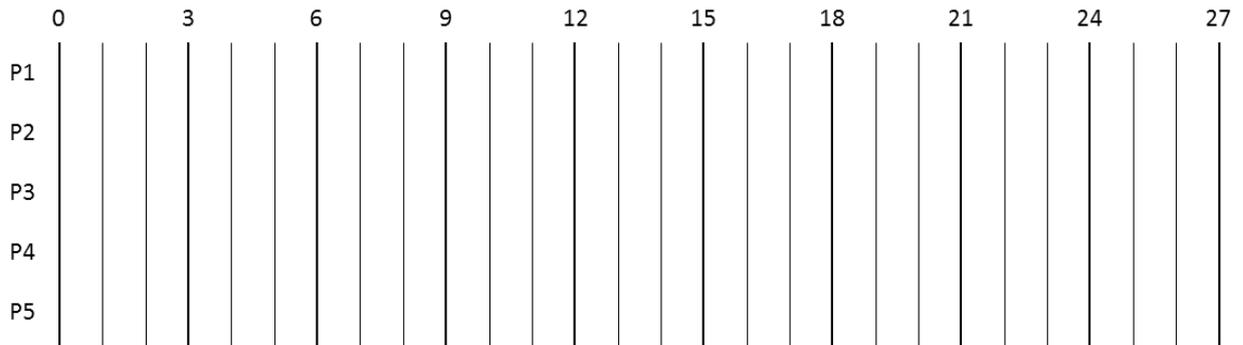
Si esegua lo scheduling di tali processi secondo i due seguenti algoritmi:

- Round Robin, non-preemptive, con un quanto di tempo pari a 3 unità
- Shortest Remaining Time

Per ognuno dei due casi, quindi, si svolgano i seguenti punti:

- Si indichi il tempo reale di esecuzione di ogni processo
- Si calcoli il tempo di attesa medio T_W dei processi
- Supponendo che un processo P_n abbia una deadline di completamento $T_{D,n}$ data dalla seguente relazione $T_{D,n} = T_{A,n} + 1.5 * T_{E,n}$, si indichino quali processi sono completati entro la deadline in ognuno dei due casi.

Round Robin

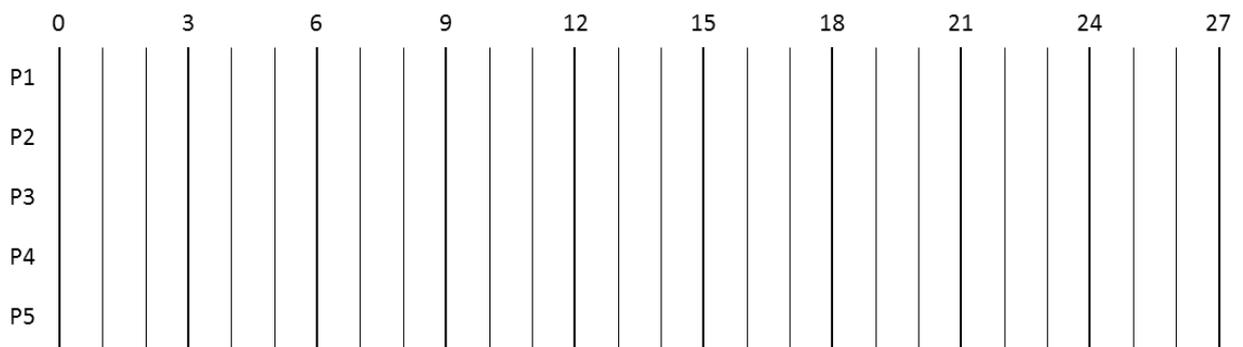


TW =

Processi completati entro la deadline:

Processo	Tempo Reale di esecuzione
P1	
P2	
P3	
P4	
P5	

Shortest Remaining Time



TW =

Processi completati entro la deadline:

Processo	Tempo Reale di esecuzione
P1	
P2	
P3	
P4	
P5	

Domanda C

Si consideri un sistema con uno spazio di indirizzamento di 4 GByte, 2 cache set-associative a 2 vie della dimensione rispettivamente di 64Kbyte (DCACHE) e 32Kbyte (ICACHE). Inoltre la dimensione della linea per ogni set è pari a 512 Byte. Sulla base di queste informazioni si indichi la struttura dell'indirizzo visto dalle cache, descrivendo i vari campi e il loro significato.

Sapendo che:

- Il tempo di accesso alla cache in caso di hit è di 4 ns
- L'accesso alla memoria RAM avviene a parole di 64 bit
- Il tempo di accesso alla RAM in modalità normale è di 60 ns
- Il tempo di accesso alla RAM in modalità burst è di 60 ns per la prima parola e 10 ns per le parole successive
- L'hit rate della DCACHE è pari al 70 %, mentre l'hit rate della ICACHE è pari al 96 %

Si calcolino i tempi medi di accesso alle due cache.

$T_{DCACHE} =$

$T_{ICACHE} =$

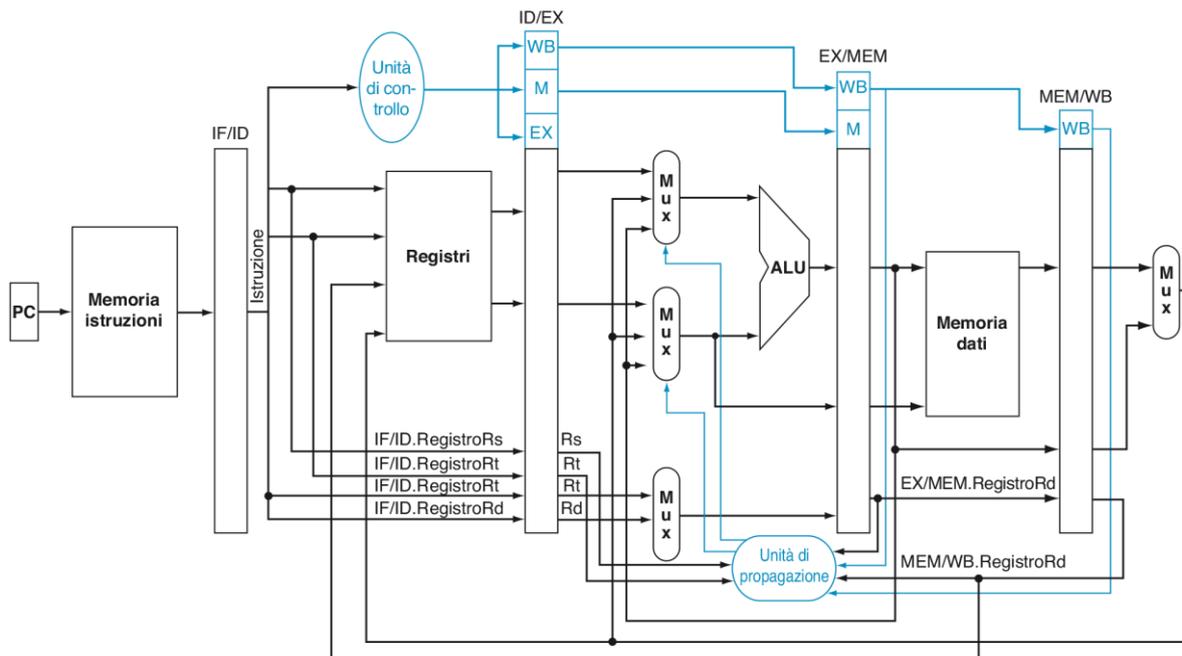
Si consideri quindi l'esecuzione di un programma in cui 30 % delle istruzioni comporta un accesso in memoria e si calcoli il tempo medio di esecuzione di una istruzione per tale programma, supponendo che in assenza di stalli tutte le istruzioni siano eseguite in 1 ciclo.

$T_{AVE} =$

Si calcoli infine il miglioramento delle prestazioni per il programma in esame rispetto all'esecuzione sullo stesso sistema ma in assenza di memoria cache.

Domanda D

Sia dato un processore MIPS dotato di una pipeline standard a cinque stadi dotata dei percorsi di propagazione e predizione statica BRANCH TAKEN.



Sia inoltre dato il seguente codice assembler.

```

1      li    $t1, 1
2      li    $t2, 0
3  loop: sll  $t3, $t2, 4
4      lw    $t4, V($t3)
5      mul   $t1, $t1, $t4
6      addi  $t2, $t2, 1
7      sle   $t3, $t2, 2
8      bnez  $t3, loop
    
```

Si indichino le dipendenze dati e di controllo che causano conflitti.

Si simuli, e si rappresenti nel diagramma che segue, il codice sopra indicato inserendo stalli ove necessario. Si calcoli quindi il numero di cicli di clock necessari per eseguire il codice ed il CPI assumendo l'esecuzione da parte dell'architettura precedentemente descritta. . Mostrare nello schema sottostante come le istruzioni attraversano i vari stadi del MIPS in corrispondenza dei cicli di clock.

I	Clock																							
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
1																								
2																								
3																								
4																								
5																								
6																								
7																								
8																								

Tempo di esecuzione =

CPI =

Domanda E

Si consideri un sistema di memoria con uno spazio di indirizzamento virtuale di 8 MByte ed una dimensione di pagina pari a 2 KByte.

Si indichino le dimensioni in bit di:

Indirizzo virtuale: _____

Numero di pagina virtuale: _____

Offset: _____

Si completi la seguente tabella, riportando numero di pagina virtuale e e spiazzamento sia in forma binaria, sia esadecimale.

Indirizzo virtuale	Numero di pagina virtuale		Offset	
	Hex	Bin	Hex	Bin
0x1A0D32				
0x1FFFB8				
0x7CC0DE				
0x0449D2				
0x1C3638				

Domanda F

Si descriva nel modo più preciso e chiaro possibile il concetto di semaforo e si spieghi per quale ragione non può essere utilizzato per la sincronizzazione tra processi.